

SON-2212

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the Patent Application of

Hiroshi TACHIMORI

Group Art Unit: To Be Assigned

Serial No. To Be Assigned

Examiner: To Be Assigned

Filed: September 19, 2001

For: PHASE-LOCKED LOOP CIRCUIT  
AND DELAY-LOCKED LOOP CIRCUIT



CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents  
Washington, D.C. 20231

Sir:

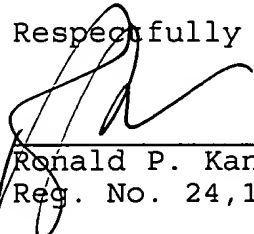
The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. P2000-287003 filed September 21, 2000

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,

Dated: September 19, 2001

  
\_\_\_\_\_  
Ronald P. Kananen  
Reg. No. 24,104

**RADER, FISHMAN & GRAUER P.L.L.C.**  
1233 20<sup>TH</sup> Street, NW, Suite 501  
Washington, DC 20036  
202-955-3750-Phone  
202-955-3751 - Fax  
Customer No. 23353

日本国特許庁

JAPAN PATENT OFFICE

JC973 U.S. PTO  
09/955071



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 9月21日

出願番号

Application Number:

特願2000-287003

出願人

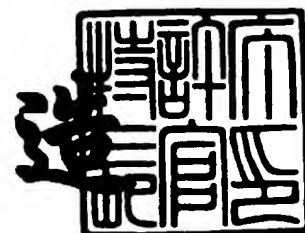
Applicant(s):

ソニー株式会社

2001年 5月31日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3049295

【書類名】 特許願

【整理番号】 0000093704

【提出日】 平成12年 9月21日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/00

【発明者】

【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・  
エルエスアイ・デザイン株式会社内

【氏名】 日月 央

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相同期ループ回路および遅延同期ループ回路

【特許請求の範囲】

【請求項 1】 基準信号に対する帰還信号の進み位相または遅れ位相の大きさを検出し、上記進み位相の大きさに応じたパルス幅を有する進み位相信号、または上記遅れ位相の大きさに応じたパルス幅を有する遅れ位相信号を出力する位相比較手段と、

上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を平滑した制御信号を出力する平滑手段と、

上記制御信号に、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を重畳する重畳手段と、

上記重畳手段により信号を重畳された制御信号を受けて、当該制御信号に応じた周波数を有する上記帰還信号を上記位相比較手段に出力する発振回路と

を有する位相同期ループ回路。

【請求項 2】 上記重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記平滑手段の上記制御信号の出力ラインに接続されたキャパシタを含む、

請求項 1 に記載の位相同期ループ回路。

【請求項 3】 上記平滑手段は、

上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流を出力する電流出力手段と、

上記電流出力手段の出力電流を平滑した上記制御信号を出力するフィルタとを含む、

請求項 2 に記載の位相同期ループ回路。

【請求項 4】 上記平滑手段は、

上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流を出力する電流出力手段と、

上記電流出力手段の出力電流を受ける抵抗とキャパシタとの直列回路と、

上記直列回路の電圧を受けて、当該電圧に含まれるノイズ成分を除去した上記

制御信号を出力するノイズフィルタとを含む、

請求項 2 に記載の位相同期ループ回路。

【請求項 5】 上記電流出力手段は、電流調節信号に応じて、出力電流の振幅を調節する、

請求項 4 に記載の位相同期ループ回路。

【請求項 6】 上記平滑手段は、

上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流を出力する第 1 の電流出力手段および第 2 の電流出力手段と、

上記第 1 の電流出力手段の出力電流を受ける抵抗と、当該抵抗の電流および上記第 2 の電流出力手段の出力電流を受けるキャパシタとの直列回路と、

上記直列回路の電圧を受けて、当該電圧に含まれるノイズ成分を除去した上記制御信号を出力するノイズフィルタとを含む、

請求項 2 に記載の位相同期ループ回路。

【請求項 7】 上記第 1 の電流出力手段は、電流調節信号に応じて、出力電流の振幅を調節する、

請求項 6 に記載の位相同期ループ回路。

【請求項 8】 上記第 2 の電流出力手段は、電流調節信号に応じて、出力電流の振幅を調節する、

請求項 6 に記載の位相同期ループ回路。

【請求項 9】 上記位相比較手段は、モード選択信号に応じて、上記重畳手段への上記進み位相信号および上記遅れ位相信号の出力を活性化または非活性化する、

請求項 1 に記載の位相同期ループ回路。

【請求項 10】 上記位相比較手段は、パルス振幅調節信号に応じて、上記進み位相信号および上記遅れ位相信号のパルス振幅を調節する、

請求項 1 に記載の位相同期ループ回路。

【請求項 11】 上記位相比較手段は、パルス振幅調節信号に応じて、複数の上記進み位相信号または上記遅れ位相信号から、少なくとも 1 つの上記進み位相信号または上記遅れ位相信号を選択して上記重畳手段に出力し、

上記重畳手段は、一方の端子に上記の進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記平滑手段の上記制御信号の出力ラインに接続された少なくとも1つのキャパシタを含む、

請求項1に記載の位相同期ループ回路。

【請求項12】 上記位相比較手段は、パルス幅調節信号に応じて、上記進み位相信号および遅れ位相信号のパルス幅を調節する、

請求項1に記載の位相同期ループ回路。

【請求項13】 基準信号に対する帰還信号の進み位相および遅れ位相の大きさを検出し、上記進み位相の大きさに応じたパルス幅を有する進み位相信号、または上記遅れ位相の大きさに応じたパルス幅を有する遅れ位相信号を出力する位相比較手段と、

上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を平滑した制御信号を出力する平滑手段と、

上記制御信号に応じた第1のバイアス信号および第2のバイアス信号を出力するバイアス信号生成手段と、

上記第1のバイアス信号および上記第2のバイアス信号に含まれるノイズ成分を除去するノイズフィルタと、

上記第1のバイアス信号に、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を重畳する第1の重畳手段と、

上記第2のバイアス信号に、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を重畳する第2の重畳手段と、

上記第1の重畳手段により信号を重畳された上記第1のバイアス信号に応じて可変される第1の電流と、上記第2の重畳手段により信号を重畳された上記第2のバイアス信号に応じて可変される第2の電流とを、入力信号のレベルに応じて切り換えて出力する複数の遅延段を含み、終段の上記遅延段の出力信号を初段の上記遅延段の入力に帰還させ、一の上記遅延段の出力信号を上記帰還信号として上記位相比較手段に出力する発振回路と

を有する位相同期ループ回路。

【請求項14】 上記第1の重畳手段は、一方の端子に上記進み位相信号ま

たは上記遅れ位相信号を受けて、他方の端子が上記バイアス信号生成手段の上記第 1 のバイアス信号の出力ラインに接続されたキャパシタを含み、

上記第 2 の重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記バイアス信号生成手段の上記第 2 のバイアス信号の出力ラインに接続されたキャパシタを含む、

請求項 1 3 に記載の位相同期ループ回路。

【請求項 1 5】 上記平滑手段は、

上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流を出力する電流出力手段と、

上記電流出力手段の出力電流を受ける抵抗とキャパシタとの直列回路とを含み、

上記バイアス信号生成手段は、上記直列回路の電圧に応じて上記第 1 のバイアス信号および上記第 2 のバイアス信号を生成する、

請求項 1 3 に記載の位相同期ループ回路。

【請求項 1 6】 上記電流出力手段は、電流調節信号に応じて、出力電流の振幅を調節する、

請求項 1 5 に記載の位相同期ループ回路。

【請求項 1 7】 上記平滑手段は、

上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流を出力する第 1 の電流出力手段および第 2 の電流出力手段と、

上記第 1 の電流出力手段の出力電流を受ける抵抗と、当該抵抗の電流および上記第 2 の電流出力手段の出力電流を受けるキャパシタとの直列回路とを含み、

上記バイアス信号生成手段は、上記直列回路の電圧に応じて上記第 1 のバイアス信号および上記第 2 のバイアス信号を生成する、

請求項 1 3 に記載の位相同期ループ回路。

【請求項 1 8】 上記第 1 の電流出力手段は、電流調節信号に応じて、出力電流の振幅を調節する、

請求項 1 7 に記載の位相同期ループ回路。

【請求項 1 9】 上記第 2 の電流出力手段は、電流調節信号に応じて、出力

電流の振幅を調節する、

請求項 1 7 に記載の位相同期ループ回路。

【請求項 2 0】 上記位相比較手段は、モード選択信号に応じて、上記重畳手段への上記進み位相信号および上記遅れ位相信号の出力を活性化または非活性化する、

請求項 1 3 に記載の位相同期ループ回路。

【請求項 2 1】 上記位相比較手段は、パルス振幅調節信号に応じて、上記進み位相信号および上記遅れ位相信号の振幅を調節する、

請求項 1 3 に記載の位相同期ループ回路。

【請求項 2 2】 上記位相比較手段は、パルス振幅調節信号に応じて、複数の上記進み位相信号または上記遅れ位相信号から、少なくとも 1 つの上記進み位相信号または上記遅れ位相信号を選択して上記第 1 の重畳手段および上記第 2 の重畳手段に出力し、

上記第 1 の重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記バイアス信号生成手段の上記第 1 のバイアス信号の出力ラインに接続された少なくとも 1 つのキャパシタを含み、

上記第 2 の重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記バイアス信号生成手段の上記第 2 のバイアス信号の出力ラインに接続された少なくとも 1 つのキャパシタを含む、

請求項 1 3 に記載の位相同期ループ回路。

【請求項 2 3】 上記位相比較手段は、パルス幅調節信号に応じて、上記進み位相信号および遅れ位相信号のパルス幅を調節する、

請求項 1 3 に記載の位相同期ループ回路。

【請求項 2 4】 基準信号に対する帰還信号の進み位相または遅れ位相の大きさを検出し、上記進み位相の大きさに応じたパルス幅を有する進み位相信号、または上記遅れ位相の大きさに応じたパルス幅を有する遅れ位相信号を出力する位相比較手段と、

上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を平滑した制御信号を出力する平滑手段と、



上記制御信号に、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を重畳する重畳手段と、

上記重畳手段により信号を重畳された制御信号および上記基準信号を受けて、上記基準信号に対して当該制御信号に応じた遅延を有する上記帰還信号を上記位相比較手段に出力する遅延回路と

を有する遅延同期ループ回路。

【請求項 2 5】 上記重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記平滑手段の上記制御信号の出力ラインに接続されたキャパシタを含む、

請求項 2 4 に記載の遅延同期ループ回路。

【請求項 2 6】 上記平滑手段は、

上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流を出力する電流出力手段と、

上記電流出力手段の出力電流を平滑した上記制御信号を出力するフィルタとを含む、

請求項 2 5 に記載の遅延同期ループ回路。

【請求項 2 7】 上記平滑手段は、

上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流を出力する電流出力手段と、

上記電流出力手段の出力電流を受ける抵抗とキャパシタとの直列回路と、

上記直列回路の電圧を受けて、当該電圧に含まれるノイズ成分を除去した上記制御信号を出力するノイズフィルタとを含む、

請求項 2 5 に記載の遅延同期ループ回路。

【請求項 2 8】 上記電流出力手段は、電流調節信号に応じて、出力電流の振幅を調節する、

請求項 2 7 に記載の遅延同期ループ回路。

【請求項 2 9】 上記平滑手段は、

上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流を出力する第 1 の電流出力手段および第 2 の電流出力手段と、

上記第 1 の電流出力手段の出力電流を受ける抵抗と、当該抵抗の電流および上記第 2 の電流出力手段の出力電流を受けるキャパシタとの直列回路と、

上記直列回路の電圧を受けて、当該電圧に含まれるノイズ成分を除去した上記制御信号を出力するノイズフィルタとを含む、

請求項 2 5 に記載の遅延同期ループ回路。

【請求項 3 0】 上記第 1 の電流出力手段は、電流調節信号に応じて、出力電流の振幅を調節する、

請求項 2 9 に記載の遅延同期ループ回路。

【請求項 3 1】 上記第 2 の電流出力手段は、電流調節信号に応じて、出力電流の振幅を調節する、

請求項 2 9 に記載の遅延同期ループ回路。

【請求項 3 2】 上記位相比較手段は、モード選択信号に応じて、上記重畳手段への上記進み位相信号および上記遅れ位相信号の出力を活性化または非活性化する、

請求項 2 4 に記載の遅延同期ループ回路。

【請求項 3 3】 上記位相比較手段は、パルス振幅調節信号に応じて、上記進み位相信号および上記遅れ位相信号のパルス振幅を調節する、

請求項 2 4 に記載の遅延同期ループ回路。

【請求項 3 4】 上記位相比較手段は、パルス振幅調節信号に応じて、複数の上記進み位相信号または上記遅れ位相信号から、少なくとも 1 つの上記進み位相信号または上記遅れ位相信号を選択して上記重畳手段に出力し、

上記重畳手段は、一方の端子に上記の進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記平滑手段の上記制御信号の出力ラインに接続された少なくとも 1 つのキャパシタを含む、

請求項 2 4 に記載の遅延同期ループ回路。

【請求項 3 5】 上記位相比較手段は、パルス幅調節信号に応じて、上記進み位相信号および遅れ位相信号のパルス幅を調節する、

請求項 2 4 に記載の遅延同期ループ回路。

【請求項 3 6】 基準信号に対する帰還信号の進み位相および遅れ位相の大

きさを検出し、上記進み位相の大きさに応じたパルス幅を有する進み位相信号、または上記遅れ位相の大きさに応じたパルス幅を有する遅れ位相信号を出力する位相比較手段と、

上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を平滑した制御信号を出力する平滑手段と、

上記制御信号に応じた第 1 のバイアス信号および第 2 のバイアス信号を出力するバイアス信号生成手段と、

上記第 1 のバイアス信号および上記第 2 のバイアス信号に含まれるノイズ成分を除去するノイズフィルタと、

上記第 1 のバイアス信号に、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を重畳する第 1 の重畳手段と、

上記第 2 のバイアス信号に、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を重畳する第 2 の重畳手段と、

上記第 1 の重畳手段により信号を重畳された上記第 1 のバイアス信号に応じて可変される第 1 の電流と、上記第 2 の重畳手段により信号を重畳された上記第 2 のバイアス信号に応じて可変される第 2 の電流とを、入力信号のレベルに応じて切り換えて出力する複数の遅延段を含み、上記基準信号を上記遅延段の初段に入力し、一の上記遅延段の出力信号を上記帰還信号として上記位相比較手段に出力する遅延回路と

を有する遅延同期ループ回路。

【請求項 3 7】 上記第 1 の重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記バイアス信号生成手段の上記第 1 のバイアス信号の出力ラインに接続されたキャパシタを含み、

上記第 2 の重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記バイアス信号生成手段の上記第 2 のバイアス信号の出力ラインに接続されたキャパシタを含む、

請求項 3 6 に記載の遅延同期ループ回路。

【請求項 3 8】 上記平滑手段は、

上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流を出力

する電流出力手段と、

上記電流出力手段の出力電流を受ける抵抗とキャパシタとの直列回路とを含み

上記バイアス信号生成手段は、上記直列回路の電圧に応じて上記第 1 のバイアス信号および上記第 2 のバイアス信号を生成する、

請求項 3 6 に記載の遅延同期ループ回路。

【請求項 3 9】 上記電流出力手段は、電流調節信号に応じて、出力電流の振幅を調節する、

請求項 3 8 に記載の遅延同期ループ回路。

【請求項 4 0】 上記平滑手段は、

上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流を出力する第 1 の電流出力手段および第 2 の電流出力手段と、

上記第 1 の電流出力手段の出力電流を受ける抵抗と、当該抵抗の電流および上記第 2 の電流出力手段の出力電流を受けるキャパシタとの直列回路とを含み、

上記バイアス信号生成手段は、上記直列回路の電圧に応じて上記第 1 のバイアス信号および上記第 2 のバイアス信号を生成する、

請求項 3 6 に記載の遅延同期ループ回路。

【請求項 4 1】 上記第 1 の電流出力手段は、電流調節信号に応じて、出力電流の振幅を調節する、

請求項 4 0 に記載の遅延同期ループ回路。

【請求項 4 2】 上記第 2 の電流出力手段は、電流調節信号に応じて、出力電流の振幅を調節する、

請求項 4 0 に記載の遅延同期ループ回路。

【請求項 4 3】 上記位相比較手段は、モード選択信号に応じて、上記重畳手段への上記進み位相信号および上記遅れ位相信号の出力を活性化または非活性化する、

請求項 3 6 に記載の遅延同期ループ回路。

【請求項 4 4】 上記位相比較手段は、パルス振幅調節信号に応じて、上記進み位相信号および上記遅れ位相信号の振幅を調節する、

請求項 3 6 に記載の遅延同期ループ回路。

【請求項 4 5】 上記位相比較手段は、パルス振幅調節信号に応じて、複数の上記進み位相信号または上記遅れ位相信号から、少なくとも 1 つの上記進み位相信号または上記遅れ位相信号を選択して上記第 1 の重畳手段および上記第 2 の重畳手段に出力し、

上記第 1 の重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記バイアス信号生成手段の上記第 1 のバイアス信号の出力ラインに接続された少なくとも 1 つのキャパシタを含み、

上記第 2 の重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記バイアス信号生成手段の上記第 2 のバイアス信号の出力ラインに接続された少なくとも 1 つのキャパシタを含む、

請求項 3 6 に記載の遅延同期ループ回路。

【請求項 4 6】 上記位相比較手段は、パルス幅調節信号に応じて、上記進み位相信号および遅れ位相信号のパルス幅を調節する、

請求項 3 6 に記載の遅延同期ループ回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は位相同期ループ回路および遅延同期ループ回路に関し、例えばデジタル TV におけるドットクロックを発生させる位相同期ループ回路および遅延同期ループ回路に関する。

【0 0 0 2】

パーソナルコンピュータのディスプレイにおける映像信号の表示や、テレビモニタの OSD (On Screen Display) 文字の表示には、水平同期信号 HSYNC を基準クロック信号として PLL (Phase Locked Loop) 回路により逡倍したドットクロックが用いられている。PLL 回路のジッタが大きいと、画面上にフリッカーやウェーピングが現われて、これらが視覚で捕らえられてしまうため、ドットクロックの発生回路には低ジッタの PLL 回路が必要とされている。

【0 0 0 3】

P L L回路の基準クロック信号あるいは固有周波数よりもゆっくりした電圧条件などの変化は、P L L回路自身のフィードバックループにより補正されるが、基準クロック信号の周期よりも短い周期で発生するデジタルノイズは、基準クロック信号の周期毎にランダムな成分と考えられ、フィードバックループによって十分に補正されないため、P L Lがロックした後のジッタの原因となる。

## 【 0 0 0 4 】

P L Lのロック後に発生する長期的な継続性が少ないランダムなジッタに対しては、ループフィルタのコンデンサを充放電させることによる周波数引込を主体にして周波数の変化を引き起こすよりも、基準クロック信号の周期毎に行われる位相引込を主体として、ジッタの分の位相を毎周期補正するようにしたほうが効果的である。ただし、位相引き込み時にV C O回路へ入力されるパルス信号の電圧変化はあまり大きくできないので、位相引込だけでジッタをちょうど1 0 0 %補正させるように設計するのは困難である。したがって、P L L回路の位相引き込みによる位相の補正に加えて、ドットクロックの発生時にジッタの位相補正をデジタル的に行なう方法を併用するのが最適と考えられる。例えば、水平同期信号H S Y N Cの立ち下がリエッジ（画面左端）から最も早く立ち上がるクロックを、複数の位相がずれたクロックから選択し、これを用いてドットクロックを発生させることにより、ジッタの位相補正が行われる。

## 【 0 0 0 5 】

位相引き込みを主体として位相の補正を行わせる場合、P L L回路やD L L（Delay Locked Loop）回路のループフィルタにはラグリードフィルタが適している。ラグリードフィルタは、例えば抵抗とキャパシタとの直列回路によるフィルタであり、低域で遅れた位相が高域で戻る位相特性を有している。

## 【 0 0 0 6 】

ループフィルタにラグリードフィルタを用いた場合、位相比較器が出力するパルス信号（U P信号およびD O W N信号）に対応した矩形状の波形と、チャージポンプ回路によるキャパシタの充放電で発生する時間軸方向に平坦な波形とが合成された波形を有する制御電圧が生成される。矩形状の波形においては主として位相引込みがおこなわれ、時間軸方向に平坦な波形においては周波数引き込みが

行われるとともに間接的に位相引込みが行われる。このため、高域の波形が鈍ってしまうラグフィルタを用いた場合に比べて大きな位相引き込みが得られるので、チャージポンプ回路の出力電流を小さ目に設計でき、ループのフィルタのキャパシタの充放電による制御電圧変化が小さくなる。したがって、矩形状の制御電圧波形による位相引き込み後の制御電圧変化を小さくすることでき、周波数ジッタを小さくすることができる。

## 【 0 0 0 7 】

また、水平同期信号 H S Y N C の立ち上がりエッジ（画面右端）で位相比較することにより、帰線期間においてチャージポンプ回路が動作するので、ラグリードフィルタを用いた場合に発生するクロック位相の大きな変化が画面表示に影響を与えることはない。さらに、チャージポンプ回路の動作が終了して制御電圧が十分に安定した後、水平同期信号 H S Y N C の立ち下がりエッジ（画面左端）でジッタの位相補正をデジタル的に行なってドットクロックを発生することにより、フリッカーやウェーピングが非常に小さい画面が得られる筈である。

## 【 0 0 0 8 】

## 【発明が解決しようとする課題】

しかしながら、ノイズの影響を低減するためラグリードフィルタの後にロウパスフィルタを設けた場合や、バイアス回路の出力と接地ラインあるいは電源ラインの間に制御電圧安定化用のコンデンサを設けた場合、電圧制御発振器や電圧制御遅延回路の制御電圧における矩形状の波形が鈍ってしまう。このため水平同期信号 H S Y N C の立ち下がり（画面左端）後も制御電圧の変化が収束していないために位相が変動してしまうので、水平同期信号 H S Y N C の立ち下がりにおけるデジタル的な位相補正の効果が低減してしまい、ラグリードフィルタを用いたメリットが損なわれてしまう問題があった。

以下、ラグリードフィルタを用いた従来の P L L 回路における上述の問題について詳しく説明する。

## 【 0 0 0 9 】

図 1 1 は、ラグリードフィルタを用いた従来の P L L 回路の第 1 の形態を示す構成図である。

図 1 1 に示す PLL 回路は、位相比較器 1 0 1、チャージポンプ回路 1 0 2、ラグリードフィルタ 1 0 3、ロウパスフィルタ 1 0 4、電圧制御発振器 1 0 5、および分周器 1 0 6 を有する。

【 0 0 1 0 】

位相比較器 1 0 1 は、基準クロック信号  $\phi$  REF と分周器 1 0 6 の出力信号 NOUT との位相を比較し、この比較結果に応じたアップ信号 / UP およびダウン信号 DOWN を出力する。

【 0 0 1 1 】

チャージポンプ回路 1 0 2 は、位相比較器 1 0 1 からのアップ信号 / UP およびダウン信号 DOWN を受けて充放電電流 ICP をラグリードフィルタ 3 に出力する。

【 0 0 1 2 】

ラグリードフィルタ 1 0 3 は、例えばチャージポンプ回路 1 0 2 の出力と接地ラインとの間に直列接続された抵抗 RF1 とキャパシタ CF1 とにより構成されており、充放電電流 ICP を受けて発生する直列回路の電圧 FIL を、ロウパスフィルタ 1 0 4 に出力する。

【 0 0 1 3 】

ロウパスフィルタ 1 0 4 は、例えばチャージポンプ回路 1 0 2 の出力と接地ラインとの間に直列接続された抵抗 RLP とキャパシタ CLP とにより構成されており、ラグリードフィルタ 1 0 3 の電圧 FIL を受けて、これに応じたキャパシタ CLP の電圧 LPO を電圧制御発振器 1 0 5 に出力する。

【 0 0 1 4 】

電圧制御発振器 1 0 5 は、ロウパスフィルタ 1 0 4 の出力電圧 LPO を受けて、これに応じた周波数を有する信号  $\phi$  VCO を出力する。

分周器 1 0 6 は、電圧制御発振器 1 0 5 の出力信号  $\phi$  VCO を所定の分周比で分周した信号 NOUT を位相比較器 1 0 1 に出力する。

【 0 0 1 5 】

基準クロック信号  $\phi$  REF が、例えば水平同期信号 HSYNC の周波数 12 kHz ~ 106 kHz 程度の低い周波数であるとする、ラグリードフィルタ 1 0



3のキャパシタCF1を半導体チップに内蔵することは難しくなり、好適には外付けの部品となる。

#### 【0016】

半導体チップに内蔵された電圧制御発振器105の接地点と、ラグリードフィルタ103の外付けキャパシタCF1の接地点は異なっているため、ラグリードフィルタ103の電圧FILをそのまま電圧制御発振器105の制御電圧として用いると、2つの接地点間の電位差が、電圧制御発振器105から見て制御電圧に重畳されたノイズとなり、これによってPLL回路のジッタが増大してしまう。そのため、ラグリードフィルタ103と電圧制御発振器105の間に、好適には半導体チップに内蔵されたロウパスフィルタ104が設けられている。キャパシタCLPの接地点と電圧制御発振器105の接地点を同じ所からとることで、前記の2つの接地点間の電位差によるノイズを低減させている。

#### 【0017】

電圧制御発振器105の接地点と外付け部品キャパシタCF1の接地点との電位差による制御電圧のノイズにおいて、ロウパスフィルタ104の入力におけるノイズの振幅 $\Delta V_{NOISE}$ 、ノイズの時間幅 $\tau_{NOISE}$ 、およびノイズの周波数 $f_{NOISE}$ と、ロウパスフィルタ104の遮断周波数 $f_{LP1}$ 、および時定数 $\tau_{LP1}$ により、ロウパスフィルタ104から出力されるノイズ電圧 $\Delta V_{NOISE\_LP}$ は次のように表される。

#### 【0018】

【数1】

$$\begin{aligned}\Delta V_{NOISE\_LP} &\doteq \Delta V_{NOISE} / (f_{NOISE} / f_{LP1}) \\ &\doteq \Delta V_{NOISE} \times (\tau_{NOISE} / \tau_{LP1}) \cdots (1)\end{aligned}$$

#### 【0019】

例えば、ノイズ電圧 $\Delta V_{NOISE}$ が10mV、時定数 $\tau_{NOISE}$ が2.8nsec、時定数 $\tau_{LP1}$ が280nsecの場合、ノイズ電圧 $\Delta V_{NOISE\_LP}$ は約100 $\mu$ Vとなる。

#### 【0020】

図12は、従来のPLL回路の第1の形態の動作を説明するための波形図であ

る。

図 1 2 の波形図 (A) は、基準クロック信号  $\phi$  R E F の波形を示す。

図 1 2 の波形図 (B) は、分周器 1 0 6 の出力信号 N O U T の波形を示す。

図 1 2 の波形図 (C) は、位相比較器 1 0 1 のアップ信号 / U P の波形を示す。

図 1 2 の波形図 (D) は、位相比較器 1 0 1 のダウン信号 D O W N の波形を示す。

図 1 2 の波形図 (E) は、ラグリードフィルタ 1 0 3 の出力電圧 F I L の波形を示す。

図 1 2 の波形図 (F) は、ロウパスフィルタ 1 0 4 の出力電圧 L P O の波形を示す。

#### 【 0 0 2 1 】

位相比較器 1 において、基準クロック信号  $\phi$  R E F の立ち上がりエッジと分周器 1 0 6 の出力信号 N O U T の立ち下がりエッジのタイミングが比較され、基準クロック信号  $\phi$  R E F の立ち上がりエッジに対して信号 N O U T の立ち下がりエッジが遅れている場合には、ローレベルのパルス信号であるアップ信号 / U P が出力される。また、信号 N O U T の立ち下がりエッジが進んでいる場合にはハイレベルのパルス信号であるダウン信号 D O W N が出力される。

#### 【 0 0 2 2 】

アップ信号 / U P は、例えばチャージポンプ回路 1 0 2 の図示しない電源ライン側の p チャンネル型 M O S トランジスタのゲートに入力されており、アップ信号 / U P にローレベルのパルス信号が入力されることによって、この p チャンネル型 M O S トランジスタが導通し、ラグリードフィルタ 1 0 3 に充電電流 I C P が供給される。

またダウン信号 D O W N は、例えばチャージポンプ回路 1 0 2 の図示しない接地ライン側の n チャンネル型 M O S トランジスタのゲートに入力されており、ダウン信号 D O W N にハイレベルのパルス信号が入力されることによって、この n チャンネル型 M O S トランジスタが導通し、ラグリードフィルタ 1 0 3 に放電電流 I C P が供給される。

チャージポンプ回路 102 から出力される充放電電流  $I_{CP}$  によりラグリードフィルタ 103 の出力電圧  $FIL$ 、およびロウパスフィルタ 104 の出力電圧  $LP$  が変化し、これによって電圧制御発振器 105 の発振周波数が上昇または低下する。

【0023】

アップ信号／UPあるいはダウン信号DOWNが発生している期間 $\Delta t$ において、チャージポンプ回路 102 の出力電流  $I_{CP}$  は、ラグリードフィルタ 103 の抵抗  $RF1$  とロウパスフィルタ 104 の抵抗  $RLP$  を通して、ラグリードフィルタ 103 のキャパシタ  $CF1$  とロウパスフィルタ 104 のキャパシタ  $CLP$  を充放電する。ラグリードフィルタ 103 の出力電圧  $FIL$  は、抵抗  $RF1$  と抵抗  $RLP$  の並列抵抗に電流  $I_{CP}$  が流れることにより発生する矩形波の電圧波形  $S1FIL$  と、キャパシタ  $CF1$  とキャパシタ  $CLP$  の並列容量に  $I_{CP} \times \Delta t$  の電荷が充放電され保持されることにより発生する時間軸に沿って平坦な電圧波形  $S2FIL$  とが合成された波形となる。

【0024】

ラグリードフィルタ 103 の出力電圧  $FIL$  において、電圧波形  $S1FIL$  の電圧変化  $\Delta V1FIL$ 、および電圧波形  $S2FIL$  の電圧変化  $\Delta V2FIL$  は、抵抗  $RF1$  が抵抗  $RLP$  に比べて十分小さく、キャパシタ  $CF1$  がキャパシタ  $CLP$  に比べて十分大きい場合、次のように表される。

【0025】

【数 2】

$$\begin{aligned} \Delta V1FIL &= I_{CP} / \{ (1 / RF1) + (1 / RLP) \} \\ &\approx I_{CP} \times RF1 \quad \dots \dots (2) \end{aligned}$$

【0026】

【数 3】

$$\begin{aligned} \Delta V2FIL &= (I_{CP} \times \Delta t) / (CF1 + CLP) \\ &\approx (I_{CP} \times \Delta t) / CF1 \quad \dots \dots (3) \end{aligned}$$

【0027】

したがって、ラグリードフィルタ 103 の出力電圧  $FIL$  には、ロウパスフィ

ルタ 1 0 4 が ない場合とほぼ同じ波形が現われる。

また、電圧波形 S 1FIL の面積 Z S 1FIL と、電圧波形 S 2FIL の面積 Z S 2FIL は次のように表される。

【 0 0 2 8 】

【数 4】

$$Z S 1FIL = \Delta V 1FIL \times \Delta t \quad \cdot \cdot \cdot \cdot (4)$$

【 0 0 2 9 】

【数 5】

$$Z S 2FIL = \Delta V 2FIL \times T \quad \cdot \cdot \cdot \cdot (5)$$

【 0 0 3 0 】

ここで、面積 Z S 1FIL と面積 Z S 2FIL の和 (Z S 1FIL + Z S 2FIL) は位相引込に 関与し、面積 Z S 2FIL は電圧変化  $\Delta V 2FIL$  に比例するので周波数変動 (引込) に 関与する。例えば、周波数変動が位相引込の 2 分の 1 となるように設計した場 合、面積 Z S 1FIL と面積 Z S 2FIL がほぼ等しくなるので次式が成立する。

【 0 0 3 1 】

【数 6】

$$\Delta V 2FIL = \Delta V 1FIL \times (\Delta t / T) \quad \cdot \cdot \cdot \cdot (6)$$

【 0 0 3 2 】

期間  $\Delta t$  は周期 T に比べて十分小さいので、電圧  $\Delta V 2FIL$  は電圧  $\Delta V 1FIL$  に比 べて十分小さくなる。

【 0 0 3 3 】

ロウパスフィルタ 1 0 4 の出力電圧 L P O には、ラグリードフィルタ 1 0 3 の 出力電圧 F I L を鈍らせた波形が現われるが、電圧波形 S 1FIL および電圧波形 S 2FIL と同様に して、出力電圧 L P O を、矩形の電圧波形 S 1FIL に対応する電圧波 形 S 1LP と、平坦な電圧波形 S 2FIL に対応する電圧波形 S 2LP に分けて考えるこ とができる。

【 0 0 3 4 】

電圧波形 S 1LP は、ロウパスフィルタ 1 0 4 の時定数で指数関数的に増減する 鈍った立ち上がり波形を有している。電圧 0 から電圧  $\Delta V 1FIL$  に向かって指数関

数的に立ち上がる電圧 $\Delta V_{1LP0}$ は、次式のように近似される。

【0035】

【数7】

$$\begin{aligned}\Delta V_{1LP0}(t) &= \Delta V_{1FIL} \times \{1 - \exp(-t / \tau_{LP1})\} \\ &\doteq \Delta V_{1FIL} \times (t / \tau_{LP1}) \quad \dots\dots (7)\end{aligned}$$

ただし、 $\tau_{LP1} = C_{LP} \times R_{LP}$

【0036】

したがって、期間 $\Delta t$ がロウパスフィルタ104の時定数 $\tau_{LP1}$ に比べて十分短い場合、ピーク電圧 $\Delta V_{1LP0}$ は次式のように表される。

【0037】

【数8】

$$\Delta V_{1LP0} \doteq \Delta V_{1FIL} \times (\Delta t / \tau_{LP1}) \quad \dots\dots (8)$$

【0038】

一方、ピーク電圧 $\Delta V_{1LP0}$ から電圧 $\Delta V_{2FIL}$ に向かって指数関数的に立ち下がる電圧波形 $S_{1LP}$ の立ち下がり波形は、次式のように近似される。

【0039】

【数9】

$$\begin{aligned}\Delta V_{1LP0}(t) &= (\Delta V_{1LP0} - \Delta V_{2FIL}) \times \exp(-t / \tau_{LP2}) + \Delta V_{2FIL} \\ &\doteq \Delta V_{1LP0} \times \exp(-t / \tau_{LP2}) \quad \dots\dots (9)\end{aligned}$$

ただし、 $\tau_{LP2} \doteq C_{LP} \times (R_{LP} + R_{F1})$

【0040】

また基準クロック信号 $\phi_{REF}$ の立ち下がりエッジ、すなわち、時刻 $t = \alpha T$  ( $\alpha \doteq 1/10$ )において、鈍った電圧波形 $S_{1LP}$ が指数関数的に減衰した電圧は、次式のように表すことができる。

【0041】

【数10】

$$\begin{aligned}\Delta V_{1LP0}(\alpha T) &\doteq \Delta V_{1LP0} \times \exp(-\alpha T / \tau_{LP2}) \\ &\doteq \Delta V_{1FIL} \times (\Delta t / \tau_{LP1}) \times \exp(-\alpha T / \tau_{LP2}) \\ &\quad \dots\dots (10)\end{aligned}$$

【0042】

画像表示や文字表示を行なうためには、基準クロック信号  $\phi REF$  の立ち下がリエッジ、すなわち、画面左端において、電圧波形 S1LP の電圧が十分に減衰していなければならない。したがって、次式を満足することが設計の目安となる。

【0043】

【数11】

$$\Delta V_{1LP0}(\alpha T) \leq \Delta V_{2FIL} \quad \dots (11)$$

【0044】

式(10)と式(6)を式(11)に代入して変形することにより次式が得られる。

【0045】

【数12】

$$T/\tau_{LP1} \leq \exp(\alpha T/\tau_{LP2}) \quad \dots (12)$$

【0046】

式(12)において、 $\alpha = 1/10$ のときは次式が成立する。

【0047】

【数13】

$$\tau_{LP1} \div \tau_{LP2} \leq 35.8 \quad \dots (13)$$

【0048】

例えば、

$$T = 64 \mu sec \text{ の場合、 } \tau_{LP1} \leq 1.8 \mu sec$$

$$T = 10 \mu sec \text{ の場合、 } \tau_{LP1} \leq 280 nsec$$

となる。

【0049】

式(1)より、ノイズ電圧  $\Delta V_{NOISE\_LP}$  の値を小さくするためには、時定数  $\tau_{LP1}$  の値をある程度大きくする必要がある。しかしその場合、逆に式(11)を満足させることが困難になってしまう。

すなわち、ノイズの影響を低減するためにロウパスフィルタ 104 の時定数  $\tau_{LP1}$  を大きくすると、基準クロック信号  $\phi REF$  の立ち下がり後も制御電圧の変

化が続いて、基準クロック信号  $\phi_{REF}$  の立ち下がリエッジで行なわれる位相補正の効果が低減してしまうという問題が発生する。

【0050】

なお、時定数  $\tau_{LP1}$  が周期  $T$  に比べて十分小さい場合、鈍った電圧波形  $S_{1LP}$  の面積は、おおむね次式で与えられる。

【0051】

【数14】

$$S_{1LP} \doteq \frac{\Delta V_{1LP0} \times \Delta t}{2} + \Delta V_{1LP0} \int_{t=0}^{t \doteq T} \exp(-t / \tau_{LP2}) dt$$

$$\doteq ICP \times RF1 \times \Delta t$$

----- (14)

【0052】

上式より、鈍った電圧波形  $S_{1LP}$  の面積は、ロウパスフィルタ 104 が無い場合のラグリードフィルタの矩形のリードパルスの面積と一致することが分かる。

【0053】

次に、ラグリードフィルタを用いた従来の PLL 回路の第 2 の形態について説明する。

図 13 は、ラグリードフィルタを用いた従来の PLL 回路の第 2 の形態を示す構成図である。

図 11 と図 13 の同一符号は同一の構成要素を示す。その他、図 13 に示す PLL 回路は、バイアス回路 7、キャパシタ  $C_{PB}$ 、およびキャパシタ  $C_{NB}$  を有する。

【0054】

第 2 の形態の第 1 の形態に対する違いは、ラグリードフィルタ 103 と電圧制御発振器 105 の間に、ロウパスフィルタ 104 の代わりにバイアス回路 107 が挿入されている点にある。

バイアス回路 107 は、ラグリードフィルタ 103 の出力電圧  $FIL$  を受けて

、バイアス電圧NB I A Sおよびバイアス電圧PB I A Sを発生し、これを電圧制御発振器105に出力する。バイアス回路は、例えば、カレントミラー回路の組合せなどで構成されている。

#### 【0055】

ここで、バイアス回路107と電圧制御発振器105について説明する。

図15は、電圧制御発振器の回路例を示す図である。

図15に示す電圧制御発振器は、遅延ブロック51-1～遅延ブロック51-n、およびNAND回路56を有する。

また、遅延ブロック51-1～遅延ブロック51-nは、pMOSトランジスタQp50、pMOSトランジスタQp51、nMOSトランジスタQn50、およびnMOSトランジスタQn51からなる2段のインバータ型の遅延段をそれぞれ有するとともに、出力バッファBUFをそれぞれ有する。

#### 【0056】

pMOSトランジスタQp51とnMOSトランジスタQn50は、互いに接続されたゲートに前段からの信号を入力し、互いに接続されたドレインから次段に信号を出力する。pMOSトランジスタQp51のソースは、pMOSトランジスタQp50のドレインとソースを介して電源ラインVddに接続され、nMOSトランジスタQn50のソースは、nMOSトランジスタQn51のドレインとソースを介して接地ラインに接続される。pMOSトランジスタQp50のゲートにはバイアス電圧PB I A Sが印加されており、nMOSトランジスタQn51のゲートにはバイアス電圧NB I A Sが印加される。

各遅延ブロックにおいて、このインバータ型遅延段が2段縦続接続されており、遅延ブロックの出力には出力バッファBUFが挿入されている。

#### 【0057】

図15の回路例に示すように、電圧制御発振器105を構成する各遅延ブロックは、例えば、バイアス電圧PB I A Sによって制御される電源ライン側の電流源トランジスタ（pMOSトランジスタQp50）と、バイアス電圧NB I A Sによって制御される接地ライン側の電流源トランジスタ（nMOSトランジスタQn51）とを設けたインバータ型の遅延段2段と、バッファ用のインバータ1



段（出力バッファ B U F）で構成される。

信号 P W O N がハイレベルに設定されると、N A N D 回路 5 6 によるゲートが導通して縦続接続された遅延ブロックの終段からの信号が初段に帰還されて発振が開始される。このとき、各遅延ブロックからはクロック信号  $\phi \{0\}$  ～クロック信号  $\phi \{\pi\}$  が出力される。

#### 【 0 0 5 8 】

図 1 6 は、バイアス回路の回路例を示す図である。

図 1 6 に示すバイアス回路は、p M O S トランジスタ Q p 1 0 1、p M O S トランジスタ Q p 1 0 2、n M O S トランジスタ Q n 1 0 1、および n M O S トランジスタ Q n 1 0 2 を有する。

#### 【 0 0 5 9 】

n M O S トランジスタ Q n 1 0 1 は、ゲートに電圧 F I L を受けており、ソースが接地ラインに接続され、ドレインが p M O S トランジスタ Q p 1 0 1 のドレインに接続される。

p M O S トランジスタ Q p 1 0 1 は、ソースが電源ライン V d d に接続され、ゲートが自身のドレインに接続されているとともに、このゲートからバイアス電圧 P B I A S を出力する。

p M O S トランジスタ Q p 1 0 2 は、ゲートにバイアス電圧 P B I A S を受けており、ソースが電源ライン V d d に接続され、ドレインが n M O S トランジスタ Q n 1 0 2 のドレインに接続される。

n M O S トランジスタ Q n 1 0 2 は、ソースが接地ラインに接続され、ゲートが自身のドレインに接続されるとともに、このゲートからバイアス電圧 N B I A S を出力する。

#### 【 0 0 6 0 】

図 1 6 の例に示すカレントミラー型のバイアス回路は、例えば、電圧 F I L が入力される第 1 のカレントミラー回路（n M O S トランジスタ Q n 1 0 1 および p M O S トランジスタ Q p 1 0 1）によりバイアス電圧 P B I A S を発生し、さらにこのバイアス電圧 P B I A S が入力される第 2 のカレントミラー回路（p M O S トランジスタ Q p 1 0 2 および n M O S トランジスタ Q n 1 0 2）によりバ

イアス電圧  $NBIAS$  を発生する。

【0061】

図16に示すバイアス回路によって発生したバイアス電圧を電圧制御発振器5に供給することにより、ラグリードフィルタ103の出力電圧  $FIL$  が変化しても、バイアス電圧  $PBIAS$  に応じて制御される電源ライン側の電流源トランジスタ ( $pMOS$  トランジスタ  $Q_{p50}$ ) に流れる電流と、バイアス電圧  $NBIAS$  に応じて制御される接地ライン側の電流源トランジスタ ( $nMOS$  トランジスタ  $Q_{n51}$ ) に流れる電流とが、おおむね釣り合うように制御される。また、標準的な条件においては、各々のインバータ型の遅延段の出力立ち上がり時の遅延時間と出力立ち下がり時の遅延時間は、電圧  $FIL$  が多少変化しても同じように釣り合って変化する。さらに、バッファ用のインバータについても立ち上がりの遅延時間と立ち下がりの遅延時間が釣り合うように  $pMOS$  と  $nMOS$  のトランジスタサイズの比が決められている。したがって、電圧  $FIL$  の変動や、プロセスのばらつき、電源電圧の変動などによって、電圧制御発振器105から出力されるクロック信号のデューティーがばらつくのを防止できる。

【0062】

ところで、上述したバイアス回路107に大きな消費電力を注入すると、PLL回路全体の消費電力がますます増大してしまうため、通常バイアス回路107の消費電力は電圧制御発振器105の消費電力よりも低く抑えられる。このため、バイアス回路107の出力抵抗  $R_{NB0}$  および出力抵抗  $R_{PB0}$  は、比較的大きな値を持つことになる。

【0063】

一方、電圧制御発振器が動作しているときには、バイアス電圧  $NBIAS$  やバイアス電圧  $PBIAS$  が入力する遅延段を構成する電流源トランジスタや、あるいは、分岐トランジスタのゲート容量を介して、各遅延段の出力電圧の変化が伝播してくる。このため、バイアス回路の出力抵抗  $R_{NB0}$  および出力抵抗  $R_{PB0}$  が比較的大きな値を持つ場合には、電圧制御発振器の発振周波数対制御電圧の特性がずれてしまったり、バイアス回路の出力がノイズに負けて発振してしまったりすることがある（特開平11-27106『電圧制御発振回路』参照）。

## 【 0 0 6 4 】

このような問題を消費電力を増やさずに防止するため、図 1 3 に示すように、バイアス回路 1 0 7 の出力と電源ラインあるいは接地ラインの間にキャパシタ C NB やキャパシタ C PB を設けて、バイアス電圧 N B I A S やバイアス電圧 P B I A S を安定化させることが、経験的に行なわれている。

## 【 0 0 6 5 】

遅延段が動作するとき電流源トランジスタのドレイン電圧が中間電圧まで変化する、すなわち電源電圧  $V_{dd}/2$  だけ変化することで、電流源トランジスタのゲート下の電圧が変化すると仮定すると、安定化のためのキャパシタを設けない場合、ゲート電圧にのる発振振幅  $\Delta V_{OSC}$  は、電圧制御発振器 1 0 5 の遅延段を構成する電流源トランジスタのゲート容量  $C_g$ 、および遅延段の段数  $N$  により次式のように表される。

## 【 0 0 6 6 】

## 【 数 1 5 】

$$\begin{aligned}\Delta V_{OSC} &\cong \{ (C_g / 2) / (N \times C_g) \} \times (V_{dd} / 2) \\ &\cong V_{dd} / 4 N \quad \dots \dots \dots (15)\end{aligned}$$

## 【 0 0 6 7 】

例えば電源電圧  $V_{dd}$  が 3. 3 V で、遅延段の段数  $N$  が 1 7 の場合、ゲート電圧にのる発振振幅  $\Delta V_{OSC}$  は約 5 0 m V となる。この値は電圧制御発振器 5 の制御電圧に求められる精度よりも約 3 桁大きな値である。

また、制御電圧安定化のためのキャパシタ  $C_{B0}$  を設けた場合は、次式のようになる。

## 【 0 0 6 8 】

## 【 数 1 6 】

$$\begin{aligned}\Delta V_{OSC} &\cong \{ (C_g / 2) / (N \times C_g + C_{B0}) \} \times (V_{dd} / 2) \\ &\cong (C_g / 4 C_{B0}) \times V_{dd} \quad \dots \dots \dots (16)\end{aligned}$$

## 【 0 0 6 9 】

ゲート容量  $C_g$  は数 + f F であるので、キャパシタ  $C_{B0}$  を 1 0 p F 程度とすると発振振幅  $\Delta V_{OSC}$  は数百  $\mu$  V となり、電圧制御発振器 1 0 5 の制御電圧に求め

られる精度よりも約 1 桁大きな値まで低減される。

#### 【 0 0 7 0 】

図 1 4 は、従来の PLL 回路の第 2 の形態の動作を説明するための波形図である。

図 1 4 の波形図 (A) は、基準クロック信号  $\phi$  REF の波形を示す。

図 1 4 の波形図 (B) は、分周器 1 0 6 の出力信号 NOUT の波形を示す。

図 1 4 の波形図 (C) は、位相比較器 1 0 1 のアップ信号 /UP の波形を示す。

図 1 4 の波形図 (D) は、位相比較器 1 0 1 のダウン信号 DOWN の波形を示す。

図 1 4 の波形図 (E) は、ラグリードフィルタ 1 0 3 の出力電圧 F I L の波形を示す。

図 1 4 の波形図 (F) は、バイアス電圧 P B I A S の波形を示す。

図 1 4 の波形図 (G) は、バイアス電圧 N B I A S の波形を示す。

#### 【 0 0 7 1 】

アップ信号 /UP あるいはダウン信号 DOWN が発生している  $\Delta t$  の期間、チャージポンプ回路 1 0 2 の出力電流 I CP は、ラグリードフィルタ 1 0 3 の抵抗 R F1 を通して、ラグリードフィルタ 1 0 3 のキャパシタ C F1 を充放電する。ラグリードフィルタ 1 0 3 の出力電圧 F I L には、抵抗 R F1 に電流 I CP が流れることにより矩形のパルス電圧波形 S1 が発生し、キャパシタ C F1 に  $I_{CP} \times \Delta t$  の電荷が充放電されて保存されることにより時間軸に沿って平坦な電圧波形 S2 が発生する。

#### 【 0 0 7 2 】

ラグリードフィルタ 1 0 3 の出力電圧 F I L における電圧波形 S1 の電圧変化  $\Delta V1$ 、電圧 S2 の電圧変化  $\Delta V2$  は次式で表される。

#### 【 0 0 7 3 】

##### 【数 1 7】

$$\Delta V1 = I_{CP} \times R_{F1} \quad \dots \quad (17)$$

#### 【 0 0 7 4 】

【数 1 8】

$$\Delta V_2 = (I_{CP} \times \Delta t) / C_{F1} \quad \dots (18)$$

【0 0 7 5】

また、電圧波形 S1 の面積 Z S1、電圧波形 S2 の面積 Z S2 は次式で表される。

【0 0 7 6】

【数 1 9】

$$Z S1 = \Delta V1 \times \Delta t \quad \dots (19)$$

【0 0 7 7】

【数 2 0】

$$Z S2 \doteq \Delta V2 \times T \quad \dots (20)$$

【0 0 7 8】

ここで、面積 Z S1 と面積 Z S2 の和 (Z S1 + Z S2) は位相引込に参与し、面積 Z S2 は周波数変動 (引込) に参与する。例えば、周波数変動が位相引込の 2 分の 1 となるように設計した場合、面積 Z S1FIL と面積 Z S2FIL がほぼ等しくなるので次式が成立する。

【0 0 7 9】

【数 2 1】

$$\Delta V2 \doteq \Delta V1 \times (\Delta t / T) \quad \dots (21)$$

【0 0 8 0】

期間  $\Delta t$  は周期 T に比べて十分小さいので、電圧  $\Delta V2$  は電圧  $\Delta V1$  に比べて十分小さくなる。

【0 0 8 1】

バイアス回路 107 の出力であるバイアス電圧 NBIAS には、鈍った矩形波の電圧波形 S1NB と、平坦な電圧波形 S2NB が発生する。電圧波形 S1NB は、電圧 FIL の矩形のパルス波形がキャパシタ CNB によって鈍ったものであり、バイアス回路 107 の出力抵抗 RNB0 と電圧安定化のためのキャパシタ CNB による時定数で指数関数的に増減する。電圧波形 S2NB は電圧波形 S2 に対応した波形である。

ここでは説明を簡単にするためバイアス回路 1 0 7 のゲインが 1 倍の場合について説明する。指数関数的に増減する鈍ったパルス電圧波形 S 1NB の立ち上がり波形は次式のように近似される。

【0 0 8 2】

【数 2 2】

$$\begin{aligned}\Delta V_{1NB}(t) &= \Delta V_1 \times \{1 - \exp(-t/\tau_{NB})\} \\ &\doteq \Delta V_1 \times (t/\tau_{NB}) \quad \dots\dots\dots (22)\end{aligned}$$

ただし、 $\tau_{NB} = C_{NB} \times R_{NB0}$

【0 0 8 3】

したがって、ピーク電圧  $\Delta V_{1NB}$  は次式のように表される。

【0 0 8 4】

【数 2 3】

$$\Delta V_{1NB} \doteq \Delta V_1 \times (\Delta t / \tau_{NB}) \quad \dots\dots\dots (23)$$

【0 0 8 5】

一方、鈍った電圧波形 S 1NB の立ち下がり波形は次式のように近似される。

【0 0 8 6】

【数 2 4】

$$\begin{aligned}\Delta V_{1NB}(t) &= (\Delta V_{1NB} - \Delta V_2) \times \exp(-t/\tau_{NB}) + \Delta V_2 \\ &\doteq \Delta V_{1NB} \times \exp(-t/\tau_{NB}) \quad \dots\dots\dots (24)\end{aligned}$$

【0 0 8 7】

基準クロック信号  $\phi_{REF}$  の立ち下がリエッジ、すなわち、時刻  $t = \alpha T$  ( $\doteq T/10$ ) において、電圧波形 S 1NB が指数関数的に減衰した電圧は次式のように表される。

【0 0 8 8】

【数 2 5】

$$\begin{aligned}\Delta V_{1NB}(\alpha T) &\doteq \Delta V_{1NB} \times \exp\{- (\alpha T) / \tau_{NB}\} \\ &\doteq \Delta V_1 \times (\Delta t / \tau_{NB}) \times \exp\{- (\alpha T) / \tau_{NB}\} \\ &\quad \dots\dots\dots (25)\end{aligned}$$

【0 0 8 9】

画面表示や文字表示を行なうためには、基準クロック信号  $\phi REF$  の立ち下がリエッジ、すなわち、画面の左端において、電圧波形  $S1NB$  の電圧は十分減衰していなければならないので、次式を満足することが設計の目安となる。

【0090】

【数26】

$$\Delta V1NB (\alpha T) \leq \Delta V2 \quad \dots (26)$$

【0091】

式(25)と式(21)を式(26)に代入して変形することにより次式が得られる

【0092】

【数27】

$$T/\tau NB \leq \exp(\alpha T/\tau NB) \quad \dots (27)$$

【0093】

したがって、第1の形態における式(12)と同じような関係式が得られる。 $\alpha = 1/10$  のとき、次式が成立する。

【0094】

【数28】

$$\tau NB \leq T/35.8 \quad \dots (28)$$

【0095】

ところで、第2の形態のようにバイアス回路107においてバイアス電圧  $NBIAS$  とバイアス電圧  $PBIAS$  が生成される場合、図16の回路例において示すように、片方のバイアス電圧を受けて、もう一方のバイアス電圧が生成されることが良くおこなわれている。図14の波形図は、バイアス電圧  $NBIAS$  を受けてバイアス電圧  $PBIAS$  を発生させた場合のものである。

【0096】

この場合、バイアス電圧  $PBIAS$  の波形は、バイアス電圧  $NBIAS$  の鈍ったパルス波形  $S1NB$  が反転されて更に鈍った電圧波形  $S1PB$  と、バイアス電圧  $NBIAS$  の平坦な電圧波形  $S2NB$  に対応した平坦な電圧波形  $S2PNB$  とが合成された波形を有している。

【0097】

ここで説明を分かりやすくするためにバイアス電圧  $PBIAS$  は反転していないものとし、『立ち下がり』と『立ち上がり』という言葉を入れ替えて以下の説明を行なう。

【0098】

指数関数的に増減する非常に鈍った波形  $S1PB$  の立ち上がり波形は、最初のうちはバイアス電圧  $NBIAS$  のピーク電圧  $\Delta V1NB$  に向かって立ち上がるので、次式のように近似される。

【0099】

【数29】

$$|\Delta V1PB(t)| \doteq \Delta V1NB \times \{1 - \exp(-t/\tau PB1)\} \quad \dots (29)$$

ただし、 $\tau PB1 = CPB \times RPB0$

【0100】

しかしながら、バイアス電圧  $NBIAS$  の電圧が次第に減少してくるので、バイアス電圧  $PBIAS$  の電圧変化は次第に頭打ちになり、時定数  $\tau NB \doteq \tau PB1$  の場合、時刻  $t \doteq \tau NB$  付近において、バイアス電圧  $NBIAS$  とバイアス電圧  $PBIAS$  がクロスし、そのとき、バイアス電圧  $PBIAS$  はピーク電圧  $\Delta V1PB$  になる。すなわち、時刻  $t \doteq \tau NB$  付近において電圧  $\Delta V1NB(\tau NB) = \Delta V1NB(0)/e$  であるから、バイアス電圧  $PBIAS$  の電圧変化  $\Delta V1PB$  は次式のように表される。

【0101】

【数30】

$$|\Delta V1PB(t)| \doteq \Delta V1NB / e \quad \dots (30)$$

【0102】

バイアス電圧  $PBIAS$  がピークから下がり始めたときの電圧波形  $S1PB$  は、おおむね次式のように近似される。

【0103】

【数31】



$$| \Delta V_{1PB}(t) | \doteq | \Delta V_{1PB} | \times \exp \{ - (t - \tau_{PB2}) / \tau_{PB2} \} \\ \doteq \Delta V_{1NB} \times \exp (-t / \tau_{PB2}) \quad \dots (31)$$

$$\text{ただし、} \tau_{PB2} \doteq \sqrt{e} \times \tau_{PB1} \doteq \sqrt{e} \times C_{PB} \times R_{PB0}$$

【0104】

さらに、電圧波形  $S_{1PB}$  が裾を引いた部分の波形は、おおむね次式のように近似される。

【0105】

【数32】

$$| \Delta V_{1PB}(t) | \\ \doteq \Delta V_{1NB} \times [ \exp(-t / \tau_{NB}) + \exp \{ -t / \sqrt{(\tau_{NB}^2 + \tau_{PB1}^2)} \} ] \\ \doteq \Delta V_{1NB} \times [ \exp(-t / \tau_{NB}) + \exp \{ -t / (\sqrt{2} \times \tau_{PB1}) \} ] \\ \dots (32)$$

【0106】

画面表示や文字表示を行なうためには、基準クロック信号  $\phi_{REF}$  の立ち下がリエッジ、すなわち、画面の左端において、非常に鈍った電圧波形  $S_{1PB}$  が十分減衰していなければならないので、次式を満足することが設計の目安となる。

【0107】

【数33】

$$\Delta V_{1PB}(\alpha T) \leq \Delta V_2 \quad \dots (33)$$

【0108】

時定数  $\tau_{NB} \doteq \tau_{PB1} \doteq \tau_{B0}$  として、式 (32) と式 (21) を式 (33) に代入して変形することにより次式が得られる。

【0109】

【数34】

$$T / \tau_{B0} \leq 1 / [ \exp(-\alpha T / \tau_{B0}) + \exp \{ -\alpha T / (\sqrt{2} \times \tau_{B0}) \} ] \\ \dots (34)$$

【0110】

したがって、第1の形態における式 (12) と同じような関係式が得られ、 $\alpha = 1 / 10$  のとき次式が成立する。

【0 1 1 1】

【数 3 5】

$$\tau B0 \leq T / 60.2 \dots (35)$$

【0 1 1 2】

式 (35) において例えば、

$$T = 64 \mu \text{sec} \text{ の場合、 } \tau B0 \leq 1.06 \mu \text{sec}$$

$$T = 10 \mu \text{sec} \text{ の場合、 } \tau B0 \leq 166 \text{ nsec}$$

となる。

【0 1 1 3】

バイアス回路 107 の消費電力を低減させるために、バイアス回路 107 の出力抵抗  $R_{NB0}$  や出力抵抗  $R_{PB0}$  の値を大きく設定すると、時定数  $\tau B0$  の値も大きくなり、式 (33) を満足させることが困難になってしまう。すなわち、基準クロック信号  $\phi_{REF}$  の立ち下がり後もバイアス電圧の変動が続いて、基準クロック信号  $\phi_{REF}$  の立ち下がりエッジで行なわれる位相補正の効果が低減してしまうという問題が発生する。

【0 1 1 4】

式 (11) や式 (33) を満足するように設計することは、標準状態ではあまり問題とならないが、電源電圧や温度、プロセスのばらつきを考慮すると、例えば 2 倍程度のマージンをさらに確保する必要があるので、簡単なことではない。また、図示はしないが、ロウパスフィルタ 104 とバイアス回路 107 の両方によって電圧制御発振器 105 の入力電圧波形に 2 重の鈍りが起こる場合には、この問題がさらに強く現れることは言うまでもない。

【0 1 1 5】

本発明はかかる事情に鑑みてなされたものであり、その目的は、ノイズによる周波数変動を低減できるとともに、基準クロック信号の周期毎に行われる位相引き込み動作後の周波数変動を低減できる位相同期ループ回路および遅延同期ループ回路を提供することにある。

【0 1 1 6】

【課題を解決するための手段】

上記の目的を達成するため、本発明の位相同期ループ回路は、基準信号に対する帰還信号の進み位相または遅れ位相の大きさを検出し、上記進み位相の大きさに応じたパルス幅を有する進み位相信号、または上記遅れ位相の大きさに応じたパルス幅を有する遅れ位相信号を出力する位相比較手段と、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を平滑した制御信号を出力する平滑手段と、上記制御信号に上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を重畳する重畳手段と、上記重畳手段により信号を重畳された制御信号を受けて、当該制御信号に応じた周波数を有する上記帰還信号を上記位相比較手段に出力する発振回路とを有する。

## 【 0 1 1 7 】

また、上記重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受け、他方の端子が上記平滑手段の上記制御信号の出力ラインに接続されたキャパシタを含む。上記平滑手段は、上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流を出力する電流出力手段と、上記電流出力手段の出力電流を受ける抵抗とキャパシタとの直列回路と、上記直列回路の電圧を受けて、当該電圧に含まれるノイズ成分を除去した上記制御信号を出力するノイズフィルタとを含む。

## 【 0 1 1 8 】

上記の構成を有する位相同期ループ回路によれば、上記位相比較手段において、上記基準クロック信号に対する上記帰還信号の進み位相または遅れ位相の大きさが検出され、上記進み位相の大きさに応じたパルス幅を有する進み位相信号、または上記遅れ位相の大きさに応じたパルス幅を有する遅れ位相信号が出力される。

上記平滑手段の上記電流出力手段において、上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流が出力され、上記直列回路に流れる当該出力電流に応じた電圧が、上記ノイズフィルタに入力される。上記ノイズフィルタにおいて、上記直列回路の電圧に含まれるノイズ成分を除去した上記制御信号が出力される。

上記制御信号は、上記重畳手段のキャパシタを介して上記進み位相信号または

上記遅れ位相信号が重畳されて上記発振回路に入力される。そして上記発振回路において、入力された上記制御信号に応じた周波数を有する上記帰還信号が出力される。

## 【 0 1 1 9 】

本発明の位相同期ループ回路は、基準信号に対する帰還信号の進み位相または遅れ位相の大きさを検出し、上記進み位相の大きさに応じたパルス幅を有する進み位相信号、または上記遅れ位相の大きさに応じたパルス幅を有する遅れ位相信号を出力する位相比較手段と、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を平滑した制御信号を出力する平滑手段と、上記制御信号に応じた第 1 のバイアス信号および第 2 のバイアス信号を出力するバイアス信号生成手段と、上記第 1 のバイアス信号および上記第 2 のバイアス信号に含まれるノイズ成分を除去するノイズフィルタと、上記第 1 のバイアス信号に、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を重畳する第 1 の重畳手段と、上記第 2 のバイアス信号に、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を重畳する第 2 の重畳手段と、上記第 1 の重畳手段により信号を重畳された上記第 1 のバイアス信号に応じて可変される第 1 の電流と、上記第 2 の重畳手段により信号を重畳された上記第 2 のバイアス信号に応じて可変される第 2 の電流とを、入力信号のレベルに応じて切り換えて出力する複数の遅延段を含み、終段の上記遅延段の出力信号を初段の上記遅延段の入力に帰還させ、一の上記遅延段の出力信号を上記帰還信号として上記位相比較手段に出力する発振回路とを有する。

## 【 0 1 2 0 】

また、上記第 1 の重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記バイアス信号生成手段の上記第 1 のバイアス信号の出力ラインに接続されたキャパシタを含む。上記第 2 の重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記平滑手段の上記第 2 のバイアス信号の出力ラインに接続されたキャパシタを含む。上記平滑手段は、上記進み位相信号に応じた電流、上記遅れ位相信号に応じた電流を出力する電流出力手段と、上記電流出力手段の出力電流を受ける抵抗と

キャパシタとの直列回路とを含む。上記バイアス信号生成手段は、上記直列回路の電圧に応じて上記第 1 のバイアス信号および上記第 2 のバイアス信号を生成する。

#### 【 0 1 2 1 】

上記の構成を有する位相同期ループ回路によれば、上記位相比較手段において、上記基準信号に対する上記帰還信号の進み位相または遅れ位相の大きさが検出され、上記進み位相の大きさに応じたパルス幅を有する進み位相信号、または上記遅れ位相の大きさに応じたパルス幅を有する遅れ位相信号が出力される。

上記平滑手段の上記電流出力手段において、上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流が出力され、上記電流出力手段の出力電流を受ける上記直列回路の電圧に応じた上記第 1 のバイアス信号および上記第 2 のバイアス信号が、上記バイアス信号生成手段において生成される。

上記ノイズフィルタにおいてノイズ成分が除去された上記第 1 のバイアス信号は、上記第 1 の重畳手段のキャパシタを介して上記進み位相信号または上記遅れ位相信号を重畳されて上記発振回路に入力される。上記ノイズフィルタにおいてノイズ成分が除去された上記第 2 のバイアス信号は、上記第 2 の重畳手段のキャパシタを介して上記進み位相信号または上記遅れ位相信号を重畳されて、上記発振回路に入力される。

上記発振回路の遅延段においては、上記第 1 のバイアス信号に応じて可変される第 1 の電流と、上記第 2 のバイアス信号に応じて可変される第 2 の電流とが、入力信号のレベルに応じて切り換えて出力される。この遅延段の終段の出力信号が初段の上記遅延段の入力に帰還されることにより発振が起こる。この遅延段のうちの一段の上記遅延段の出力信号が、上記帰還信号として出力される。

#### 【 0 1 2 2 】

本発明の遅延同期ループ回路は、基準信号に対する帰還信号の進み位相または遅れ位相の大きさを検出し、上記進み位相の大きさに応じたパルス幅を有する進み位相信号、または上記遅れ位相の大きさに応じたパルス幅を有する遅れ位相信号を出力する位相比較手段と、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を平滑した制御信号を出力する平滑手段と、上記制御

信号に、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を重畳する重畳手段と、上記重畳手段により信号を重畳された制御信号および上記基準信号を受けて、上記基準信号に対して当該制御信号に応じた遅延を有する上記帰還信号を上記位相比較手段に出力する遅延回路とを有する。

## 【 0 1 2 3 】

また、上記重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受け、他方の端子が上記平滑手段の上記制御信号の出力ラインに接続されたキャパシタを含む。上記平滑手段は、上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流を出力する電流出力手段と、上記電流出力手段の出力電流を受ける抵抗とキャパシタとの直列回路と、上記直列回路の電圧を受けて、当該電圧に含まれるノイズ成分を除去した上記制御信号を出力するノイズフィルタとを含む。

## 【 0 1 2 4 】

上記の構成を有する遅延同期ループ回路によれば、上記位相比較手段において、上記基準クロック信号に対する上記帰還信号の進み位相または遅れ位相の大きさが検出され、上記進み位相の大きさに応じたパルス幅を有する進み位相信号、または上記遅れ位相の大きさに応じたパルス幅を有する遅れ位相信号が出力される。

上記平滑手段の上記電流出力手段において、上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流が出力され、上記直列回路に流れる当該出力電流に応じた電圧が、上記ノイズフィルタに入力される。上記ノイズフィルタにおいて、上記直列回路の電圧に含まれるノイズ成分を除去した上記制御信号が出力される。

上記制御信号は、上記重畳手段のキャパシタを介して上記進み位相信号または上記遅れ位相信号が重畳されて上記遅延回路に入力される。そして上記遅延回路において、入力された上記制御信号に応じた遅延を有する上記帰還信号が出力される。

## 【 0 1 2 5 】

本発明の遅延同期ループ回路は、基準信号に対する帰還信号の進み位相または

遅れ位相の大きさを検出し、上記進み位相の大きさに応じたパルス幅を有する進み位相信号、または上記遅れ位相の大きさに応じたパルス幅を有する遅れ位相信号を出力する位相比較手段と、上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を平滑した制御信号を出力する平滑手段と、上記制御信号に応じた第 1 のバイアス信号および第 2 のバイアス信号を出力するバイアス信号生成手段と、上記第 1 のバイアス信号および上記第 2 のバイアス信号に含まれるノイズ成分を除去するノイズフィルタと、上記第 1 のバイアス信号に上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を重畳する第 1 の重畳手段と、上記第 2 のバイアス信号に上記位相比較手段から出力された上記進み位相信号または上記遅れ位相信号を重畳する第 2 の重畳手段と、上記第 1 の重畳手段により信号を重畳された上記第 1 のバイアス信号に応じて可変される第 1 の電流と、上記第 2 の重畳手段により信号を重畳された上記第 2 のバイアス信号に応じて可変される第 2 の電流とを、入力信号のレベルに応じて切り換えて出力する複数の遅延段を含み、上記基準信号を上記遅延段の初段に入力し、一の上記遅延段の出力信号を上記帰還信号として上記位相比較手段に出力する遅延回路とを有する。

## 【 0 1 2 6 】

また、上記第 1 の重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記バイアス信号生成手段の上記第 1 のバイアス信号の出力ラインに接続されたキャパシタを含む。上記第 2 の重畳手段は、一方の端子に上記進み位相信号または上記遅れ位相信号を受けて、他方の端子が上記平滑手段の上記第 2 のバイアス信号の出力ラインに接続されたキャパシタを含む。上記平滑手段は、上記進み位相信号に応じた電流、上記遅れ位相信号に応じた電流を出力する電流出力手段と、上記電流出力手段の出力電流を受ける抵抗とキャパシタとの直列回路とを含む。上記バイアス信号生成手段は、上記直列回路の電圧に応じて上記第 1 のバイアス信号および上記第 2 のバイアス信号を生成する。

## 【 0 1 2 7 】

上記の構成を有する位相同期ループ回路によれば、上記位相比較手段において

、上記基準信号に対する上記帰還信号の進み位相または遅れ位相の大きさが検出され、上記進み位相の大きさに応じたパルス幅を有する進み位相信号、または上記遅れ位相の大きさに応じたパルス幅を有する遅れ位相信号が出力される。

上記平滑手段の上記電流出力手段において、上記進み位相信号に応じた電流、または上記遅れ位相信号に応じた電流が出力され、上記電流出力手段の出力電流を受ける上記直列回路の電圧に応じた上記第 1 のバイアス信号および上記第 2 のバイアス信号が、上記バイアス信号生成手段において生成される。

上記ノイズフィルタにおいてノイズ成分が除去された上記第 1 のバイアス信号は、上記第 1 の重畳手段のキャパシタを介して上記進み位相信号または上記遅れ位相信号を重畳されて上記遅延回路に入力される。上記ノイズフィルタにおいてノイズ成分が除去された上記第 2 のバイアス信号は、上記第 2 の重畳手段のキャパシタを介して上記進み位相信号または上記遅れ位相信号を重畳されて、上記遅延回路に入力される。

上記遅延回路の遅延段においては、上記第 1 のバイアス信号に応じて可変される第 1 の電流と、上記第 2 のバイアス信号に応じて可変される第 2 の電流とが、入力信号のレベルに応じて切り換えて出力される。この遅延段の初段に上記基準クロック信号が入力され、一の上記遅延段の出力信号が、上記帰還信号として出力される。

【 0 1 2 8 】

【発明の実施の形態】

<第 1 の実施形態>

図 1 は、本発明の PLL 回路の第 1 の実施形態を示す構成図である。

図 1 に示す PLL 回路は、位相比較器 1、チャージポンプ回路 2、ラグリードフィルタ 3、ロウパスフィルタ 4、電圧制御発振器 5、分周器 6、キャパシタ C<sub>U</sub>、およびキャパシタ C<sub>D</sub> を有する。

【 0 1 2 9 】

位相比較器 1 は、基準クロック信号  $\phi_{REF}$  と分周器 6 の出力信号 N<sub>OUT</sub> との位相を比較し、この比較結果に応じたアップ信号 U<sub>P</sub>、およびこの反転信号であるアップ信号  $\neg U_P$ 、ならびにダウン信号 D<sub>OWN</sub>、およびこの反転信号である



ダウン信号／DOWNを出力する。

【0130】

チャージポンプ回路2は、位相比較器1からのアップ信号／UPおよびダウン信号DOWNを受けて充放電電流 $I_{CP}$ をラグリードフィルタ3に出力する。

【0131】

ラグリードフィルタ3は、例えばチャージポンプ回路2の出力と接地ラインとの間に直列接続された抵抗 $R_{F1}$ とキャパシタ $C_{F1}$ とにより構成されており、充放電電流 $I_{CP}$ を受けて発生する直列回路の電圧 $FIL$ を、ロウパスフィルタ4に出力する。

【0132】

ロウパスフィルタ4は、例えばチャージポンプ回路2の出力と接地ラインとの間に直列接続された抵抗 $R_{LP}$ とキャパシタ $C_{LP}$ とにより構成されており、ラグリードフィルタ3の電圧 $FIL$ を受けて、これに応じたキャパシタ $C_{LP}$ の電圧 $LPO$ を電圧制御発振器5に出力する。

【0133】

電圧制御発振器5は、ロウパスフィルタ4の出力電圧 $LPO$ を受けて、これに応じた周波数を有する信号 $\phi VCO$ を出力する。

分周器6は、電圧制御発振器5の出力信号 $\phi VCO$ を所定の分周比で分周した信号 $NOUT$ を位相比較器1に出力する。

【0134】

キャパシタ $C_U$ およびキャパシタ $C_D$ は、位相比較器1によるアップ信号UPおよびダウン信号／DOWNをロウパスフィルタ4の出力電圧に重畳する。

【0135】

図1に示す本発明のPLL回路と図9に示す従来のPLL回路との相違点は、図1のPLL回路において、ロウパスフィルタ4の出力ラインにキャパシタ $C_U$ とキャパシタ $C_D$ を設けて、これらのキャパシタに位相比較器1の出力であるアップ信号UPとダウン信号／DOWNのパルスを入力させ、ロウパスフィルタ4のキャパシタ $C_{LP}$ とこれらのキャパシタとの容量の分圧比によって、電圧制御発振器5の入力に矩形のパルス波形を発生させている点にある。

【 0 1 3 6 】

図 2 は、本発明の P L L 回路の第 1 の実施形態の動作を説明するための波形図である。

図 2 の波形図 (A) は、基準クロック信号  $\phi$  R E F の波形を示す。

図 2 の波形図 (B) は、分周器 6 の出力信号 N O U T の波形を示す。

図 2 の波形図 (C) は、位相比較器 1 のアップ信号 / U P の波形を示す。

図 2 の波形図 (D) は、位相比較器 1 のダウン信号 D O W N の波形を示す。

図 2 の波形図 (E) は、ラグリードフィルタ 3 の出力電圧 F I L の波形を示す。

図 2 の波形図 (F) は、位相比較器 1 のアップ信号 U P の波形を示す。

図 2 の波形図 (G) は、位相比較器 1 のダウン信号 / D O W N の波形を示す。

図 2 の波形図 (H) は、ロウパスフィルタ 4 の出力電圧 V C N T の波形を示す。

【 0 1 3 7 】

位相比較器 1 において、基準クロック信号  $\phi$  R E F の立ち上がりエッジと分周器 6 の出力信号 N O U T の立ち下がりエッジのタイミングが比較され、基準クロック信号  $\phi$  R E F の立ち上がりエッジに対して信号 N O U T の立ち下がりエッジが遅れている場合には、ローレベルのパルス信号であるアップ信号 / U P が出力される。また、信号 N O U T の立ち下がりエッジが進んでいる場合にはハイレベルのパルス信号であるダウン信号 D O W N が出力される。

【 0 1 3 8 】

アップ信号 / U P は、例えばチャージポンプ回路の図示しない電源ライン側の p チャンネル型 M O S トランジスタのゲートに入力されており、アップ信号 / U P にローレベルのパルス信号が入力されることによって、この p チャンネル型 M O S トランジスタが導通し、ラグリードフィルタ 3 に充電電流 I C P が供給される。

またダウン信号 D O W N は、例えばチャージポンプ回路の図示しない接地ライン側の n チャンネル型 M O S トランジスタのゲートに入力されており、ダウン信号 D O W N にハイレベルのパルス信号が入力されることによって、この n チャンネル型 M O S トランジスタが導通し、ラグリードフィルタ 3 に放電電流 I C P が供

給される。

チャージポンプ回路 2 から出力される充放電電流  $I_{CP}$  によりラグリードフィルタ 3 の出力電圧  $FIL$ 、およびロウパスフィルタ 4 の出力電圧  $VCNT$  が変化し、これによって電圧制御発振器 5 の発振周波数が上昇または低下する。

【0139】

アップ信号  $UP$  あるいはダウン信号  $DOWN$  が発生している期間  $\Delta t$  において、チャージポンプ回路 2 の出力電流  $I_{CP}$  は、ラグリードフィルタ 3 の抵抗  $RF1$  とロウパスフィルタ 4 の抵抗  $RLP$  を通して、ラグリードフィルタ 3 のキャパシタ  $CF1$  とロウパスフィルタ 4 のキャパシタ  $CLP$  を充放電する。ラグリードフィルタ 3 の出力電圧  $FIL$  は、抵抗  $RF1$  と抵抗  $RLP$  の並列抵抗に電流  $I_{CP}$  が流れることにより発生する矩形状の電圧波形  $S1$  と、キャパシタ  $CF1$  とキャパシタ  $CLP$  の並列容量に  $I_{CP} \times \Delta t$  の電荷が充放電され保持されることにより発生する時間軸に沿って平坦な電圧波形  $S2$  とが合成された波形となる。

【0140】

また、本発明の第 1 の実施形態においては、位相比較器 1 の出力パルスが、キャパシタ  $CU$  およびキャパシタ  $CD$  を介してロウパスフィルタ 4 の出力電圧に重畳されるため、従来の第 1 の実施形態に比較して、ロウパスフィルタ 4 の出力電圧  $FIL$  におけるパルス波形の鈍りを非常に小さくすることが可能である。

【0141】

キャパシタ  $CU = CD = CAC$  とおくと、位相比較器 1 の出力抵抗  $RBF0$  により、ロウパスフィルタ 4 の出力電圧  $FIL$  におけるパルス波形  $S1VC$  の立ち上がり立ち下がり時間  $\tau_{AC}$  は次式のように表される。

【0142】

【数 36】

$$\tau_{AC} \doteq CAC \times RBF0 \quad \dots \dots (36)$$

【0143】

一方、位相比較器 1 の出力振幅  $VB0$  により、キャパシタを介して伝わるパルス波形  $S1VC$  の電圧変化  $\Delta V1AC$  は次式のように表される。

【0144】

【数 3 7】

$$\Delta V_{1AC} = \{ CAC / (CLP + 2 CAC) \} \times VB0 \quad \dots \quad (37)$$

【0 1 4 5】

例えば、位相比較器 1 の振幅  $VB0 = \text{電源電圧 } V_{dd} = 2 \text{ V} \sim 3.6 \text{ V}$ 、パルス波形  $S1VC$  の電圧変化  $\Delta V_{1AC} = 0.1 \text{ V} \sim 0.2 \text{ V}$  とすると、式 (37) より、 $(CLP + 2 CAC) = 10 \text{ pF}$  の場合、キャパシタ  $CAC$  は  $0.3 \text{ pF} \sim 1 \text{ pF}$  となる。そこで、例えばキャパシタ  $CAC = 0.5 \text{ pF}$ 、抵抗  $RBF0 = 2.2 \text{ K}\Omega$  とすると、この場合式 (36) より時定数  $\tau_{AC} \cong 1.1 \text{ ns}$  となる。

【0 1 4 6】

位相比較器 1 の出力パルスが終わった後に残る電圧波形  $S1VC$  において裾を引いた部分の波形  $\Delta V_{tail}$  は、次式のように近似される。

【0 1 4 7】

【数 3 8】

$$\Delta V_{tail}(t) \cong (\Delta V_1 - \Delta V_{1AC}) \times \exp(-t / \tau_{LP2}) \quad \dots \quad (38)$$

ただし、 $\tau_{LP2} = (CLP + 2 CAC) \times (RLP + RF1)$

【0 1 4 8】

キャパシタ  $CF1$  と電圧制御発振器 5 の接地点が異なることによるノイズは、時定数  $\tau_{LP2}$  のロウパスフィルタ 4 で低減され、さらに、標準条件あるいはワースト条件で  $\Delta V_1 = \Delta V_{1AC}$  になるように設計することにより、基準クロック信号  $\phi_{REF}$  の立ち下がリエッジから裾を引いた部分の波形  $\Delta V_{tail}(t) \cong 0$  とすることができる。これにより、基準クロック信号  $\phi_{REF}$  の立ち下がリエッジの後におけるロウパスフィルタ 4 出力のパルス波形の電圧変化を、標準条件あるいはワースト条件で非常に小さくすることが可能である。

【0 1 4 9】

ラグリードフィルタ 3 出力の電圧変化  $\Delta V_1$  のばらつきは、主にチャージポンプ回路 2 の出力電流のばらつきにより、例えば  $-33\% \sim +50\%$  程度に抑えることが可能である。また、ロウパスフィルタ 4 出力の電圧変化  $\Delta V_{1AC}$  のばらつきは、主に電源電圧のばらつきにより、例えば  $-10\% \sim +10\%$  程度に抑える

ことが可能である。また、チャージポンプ回路 2 の出力電流が - 3 3 % の場合に電源電圧が - 1 0 %、チャージポンプ出力電流が + 5 0 % の場合に電源電圧が + 1 0 % であると考えて良いので、次式が成り立つ。

【0 1 5 0】

【数 3 9】

$$\Delta V_{tail} = -0.23 \times \Delta V_1 \sim 0.4 \times \Delta V_1 \quad \dots (39)$$

【0 1 5 1】

すなわち、基準クロック信号  $\phi_{REF}$  の立ち下がリエッジにおけるロウパスフィルタ 4 の出力でのパルス波形の電圧変化を、ばらつきを考慮しても、約 1 / 3 に小さくすることが可能である。

【0 1 5 2】

#### < 第 2 の実施形態 >

図 3 は、本発明の PLL 回路の第 2 の実施形態を示す構成図である。

図 3 に示す PLL 回路は、位相比較器 1、チャージポンプ回路 2、ラグリードフィルタ 3、バイアス回路 7、電圧制御発振器 5、分周器 6、キャパシタ CPB、キャパシタ CNB、キャパシタ CPU、キャパシタ CPD、キャパシタ CNU、およびキャパシタ CND を有する。

図 3 と図 1 の同一符号は同一の構成要素を示す。

【0 1 5 3】

電圧制御発振器 5 は、例えば上述した図 1 5 に示す回路を有する。

またバイアス回路 7 は、例えば上述した図 1 6 に示す回路を有する。

【0 1 5 4】

図 3 に示すの本発明の PLL 回路と図 1 3 に示す従来の PLL 回路との相違点は、図 3 の PLL 回路において、バイアス電圧 NB I A S の出力ラインにキャパシタ CNU とキャパシタ CND を設けて、位相比較器 1 の出力であるアップ信号 UP とダウン信号 / D O W N のパルスをこれらのキャパシタに入力させ、これらのキャパシタとキャパシタ CNB との容量の分圧比によりバイアス電圧 NB I A S にパルスを重畳させている点と、バイアス電圧 P B I A S の出力ラインにも同じようにキャパシタ CPU とキャパシタ CPD を設けて、アップ信号 / U P とダウン信号 D

OWNのパルスをバイアス電圧PBIASに重畳させている点にある。

【0155】

図4は、本発明のPLL回路の第2の実施形態の動作を説明するための波形図である。

図4の波形図(A)は、基準クロック信号 $\phi$ REFの波形を示す。

図4の波形図(B)は、分周器6の出力信号NOUTの波形を示す。

図4の波形図(C)は、位相比較器1のアップ信号UPの波形を示す。

図4の波形図(D)は、位相比較器1のダウン信号DOWNの波形を示す。

図4の波形図(E)は、ラグリードフィルタ3の出力電圧FILの波形を示す。

図4の波形図(F)は、バイアス電圧PBIASの波形を示す。

図4の波形図(G)は、バイアス電圧NBIASの波形を示す。

【0156】

本発明の第2の実施形態においては、位相比較器1の出力パルスが、キャパシタCNU、キャパシタCND、キャパシタCPU、およびキャパシタCPDを介して伝えられるため、従来の第2の形態に比較して、バイアス回路7の出力におけるパルス波形の鈍りを非常に小さくすることが可能である。

【0157】

位相比較器1の出力抵抗RBF0がバイアス回路7の出力抵抗RNB0および出力抵抗RPB0に比べて十分小さく、また $CNU = CND = CAC$ あるいは $CPU = CPD = CAC$ とおくと、バイアス電圧NBIASのパルス波形S1NBおよびバイアス電圧PBIASのパルス波形S1PBの立ち上がり立ち下がりの時間 $\tau_{AC}$ は、式(36)と同じ

$$\tau_{AC} \cong CAC \times RBF0$$

で与えられる。

【0158】

一方、キャパシタを介して伝わるパルス波形S1NBの電圧変化 $\Delta V1NAC$ 、およびパルス波形S1PBの電圧変化 $\Delta V1PAC$ は、位相比較器1の出力振幅VB0により次式で表される。

【0159】

【数40】

$$\Delta V1NAC = \{CAC / (CNB + 2CAC)\} \times VB0 \quad \dots (40)$$

【0160】

【数41】

$$|\Delta V1PAC| = \{CAC / (CPB + 2CAC)\} \times VB0 \quad \dots (41)$$

【0161】

位相比較器1の出力パルスが終わった後に残るパルス波形S1NBの裾を引いた部分の波形 $\Delta VtailN$ は、次式のように近似される。

【0162】

【数42】

$$\Delta VtailN(t) \doteq (\Delta V1 - \Delta V1NAC) \times \exp(-t / \tau NB) \quad \dots (42)$$

ただし、 $\tau NB = (CNB + 2CAC) \times RNB0$

【0163】

また、位相比較器1の出力パルスが終わった後に残るパルス波形S1PBの裾を引いた部分の波形 $\Delta VtailP$ は、次式のように近似される。

【0164】

【数43】

$$|\Delta VtailP(t)| \doteq (\Delta V1 - |\Delta V1PAC|) \times \exp(-t / \tau PB) \quad \dots (43)$$

【0165】

ここで、バイアス電圧PBIBIASにはバイアス電圧NBIBIASにおける波形の鈍りも影響するので、式(43)の時定数 $\tau PB$ は次式のように表される。

【0166】

【数44】

$$\tau PB \doteq k \times (CPB + 2CAC) \times RPB0 \quad \dots (44)$$

ただし、 $k = \sqrt{e} \sim \sqrt{2}$

【0167】

バイアス回路 7 のゲインが 1 倍の場合、好適には標準条件あるいはワースト条件で  $\Delta V_1 = \Delta V_{1NAC} = \Delta V_{1PAC}$  になるように設計することで、バイアス回路 7 の出力においても、基準クロック信号  $\phi REF$  の立ち下がリエッジにおけるパルス波形の電圧変化を小さくすることができる。

【0168】

### <第 3 の実施形態>

図 5 は、本発明の PLL 回路の第 3 の実施形態を示す構成図である。

図 5 に示す PLL 回路は、位相比較器 1、チャージポンプ回路 2、ラグフィルタ 4、電圧制御発振器 5、分周器 6、キャパシタ CU、およびキャパシタ CD を有する。

図 5 と図 1 の同一符号は同一の構成要素を示す。

【0169】

図 1 に示す本発明の第 1 の実施形態と図 5 に示す本発明の第 3 の実施形態との相違点は、図 1 の PLL 回路においてロウパスフィルタ 4 とチャージポンプ回路 2 の間に挿入されていたラグリードフィルタ 3 が、図 5 の PLL 回路において削除されている点にある。

【0170】

図 5 の PLL 回路においては、ラグフィルタ（ロウパスフィルタ）4 の出力に、キャパシタ CU とキャパシタ CD を設けて、これらのキャパシタを介して、位相比較器の出力であるアップ信号 UP とダウン信号 /DOWN のパルスをキャパシタ CLP との容量の分圧比で伝える。これにより、ラグフィルタ 4 の出力電圧 V CNT には矩形のパルス波形が発生し、ラグリードフィルタと同様の動作する。本実施形態においては、位相比較器の出力パルスが終わった後に裾を引いた波形が残ることはほとんどなく、また、デュアルチャージポンプ回路方式のラグリードフィルタ（IEEE 1993 CUSTOM INTEGRATED CIRCUITS CONFERENCE 10.2.1 図 13 参照）と同じように、パルス波形の電圧変化とキャパシタの充放電による電圧変化を独立して設計できるので、広い周波数領域の基準クロック信号  $\phi REF$  に対応した PLL 回路を設計しやすい。

【0171】



また、電圧制御発振器 5 に入力されるパルス波形の電圧変化は式 (37) で表現できるので、図 1 の PLL 回路におけるラグリードフィルタ 3 において抵抗 R<sub>F1</sub> に電流 I<sub>CP</sub> が流れることにより矩形のパルス波形を発生させる方式よりも、ばらつきを小さくすることが可能である。

ただし、 $C_U = C_D = C_{AC} : C_{LP} \approx 1 : 20$  程度と考えられるので、ラグフィルタ 4 が半導体チップに内蔵されている場合でなければ適用が困難である。

【0172】

#### <第 4 の実施形態>

図 6 は、本発明の PLL 回路の第 4 の実施形態を示す構成図である。

図 6 に示す PLL 回路は、位相比較器 1、チャージポンプ回路 21、チャージポンプ回路 22、ラグリードフィルタ 3、ロウパスフィルタ 4、電圧制御発振器 5、分周器 6、キャパシタ C<sub>U</sub>、およびキャパシタ C<sub>D</sub> を有する。

図 6 と図 1 の同一符号は同一の構成要素を示す。

【0173】

図 1 に示した本発明の第 1 の実施形態と図 6 に示した本発明の第 4 の実施形態との相違点は、図 6 の発明例において、チャージポンプ回路を 2 つ設けてデュアルチャージポンプ回路方式をとっている点にある。デュアルチャージポンプ回路方式でも本発明の第 1 の実施形態と同じ効果が得られるのは言うまでもない。すなわち、基準クロック信号  $\phi_{REF}$  の立ち下がリエッジの後におけるロウパスフィルタ 4 出力での電圧変化を小さくすることができる。

デュアルチャージポンプ回路方式をとっている場合は、広い周波数領域の基準クロック信号  $\phi_{REF}$  に対応した PLL 回路を設計しやすい。

【0174】

#### <第 5 の実施形態>

図 7 は、本発明の PLL 回路の第 5 の実施形態を示す構成図である。

図 7 に示す PLL 回路は、位相比較器 1、チャージポンプ回路 21、チャージポンプ回路 22、ラグリードフィルタ 3、バイアス回路 7、電圧制御発振器 5、分周器 6、キャパシタ C<sub>PB</sub>、キャパシタ C<sub>NB</sub>、キャパシタ C<sub>PU</sub>、キャパシタ C<sub>PD</sub>、キャパシタ C<sub>NU</sub>、およびキャパシタ C<sub>ND</sub>、キャパシタ C<sub>U</sub>、およびキャパシタ C

D を有する。

図 7 と図 3 の同一符号は同一の構成要素を示す。

【0175】

図 3 に示した本発明の第 2 の実施形態と図 7 に示した本発明の第 5 の実施形態との相違点は、図 7 の発明例において、チャージポンプ回路を 2 つ設けてデュアルチャージポンプ回路方式をとっている点にある。デュアルチャージポンプ回路方式でも本発明の第 2 の実施形態と同じ効果が得られるのは言うまでもない。すなわち、基準クロック信号  $\phi_{REF}$  の立ち下がリエッジの後におけるバイアス回路 7 の出力の電圧変化を小さくすることが可能である。

デュアルチャージポンプ回路方式をとっている場合には、広い周波数領域の基準クロック信号  $\phi_{REF}$  に対応した PLL 回路を設計しやすい。

【0176】

#### <第 6 の実施形態>

図 8 は、本発明の PLL 回路の第 6 の実施形態を示す構成図である。

図 8 に示す PLL 回路は、位相比較器 1、パルス制御回路 8、チャージポンプ回路 21、チャージポンプ回路 22、ラグリードフィルタ 3、ロウパスフィルタ 4、バイアス回路 7、電圧制御発振器 5、分周器 6、キャパシタ CPB、キャパシタ CPU、キャパシタ CPD、キャパシタ CNU、およびキャパシタ CND を有する。

図 8 と図 7 の同一符号は同一の構成要素を示す。

【0177】

図 8 に示す本発明の第 6 の実施形態と図 7 に示す本発明の第 5 の実施形態との相違点は、図 8 に示す本実施形態において、位相比較器 1 とチャージポンプ回路との間にパルス制御回路 8 が設けられて、チャージポンプ 22 の出力電流  $I_{CP2}$  の大きさが電流選択信号  $SELICP_{n-1} \sim SELICP_0$  に応じて可変される点と、ラグリードフィルタ 3 とバイアス回路 7 との間にロウパスフィルタ 4 が設けられて、ロウパスフィルタ 4 の出力からバイアス信号が得られる点にある。

【0178】

本発明の第 6 の実施形態においては、半導体集積回路にしたときに広い周波数領域の基準クロック信号  $\phi_{REF}$  に対応できるデュアルチャージポンプ回路方式

が用いられている。チャージポンプ回路は、固定のチャージポンプ出力電流  $I_{CP1}$  を供給するチャージポンプ回路 2 1 と、可変のチャージポンプ出力電流  $I_{CP2}$  を供給するチャージポンプ回路 2 2 とで構成される。

#### 【 0 1 7 9 】

ラグリードフィルタ 3 は、チャージポンプ回路 2 1 の出力電流  $I_{CP1}$  およびチャージポンプ回路 2 2 の出力電流  $I_{CP2}$  を受けて、矩形のパルス波形と平坦な電圧波形とが合成された波形を有する電圧を、ロウパスフィルタ 4 に出力する。

チャージポンプ回路 2 1 の出力電流  $I_{CP1}$  がラグリードフィルタ 3 の抵抗  $R_{F1}$  を流れるこにより、ラグリードフィルタ 3 の出力には矩形のパルス波形が発生する。また、抵抗  $R_{F1}$  を流れる電流  $I_{CP1}$  とチャージポンプ回路 2 2 の出力電流  $I_{CP2}$  とがラグリードフィルタ 3 のキャパシタ  $C_{F1}$  を充放電することにより、ラグリードフィルタ 3 の出力には時間軸に沿って平坦な電圧波形が発生する。

基準クロック信号  $\phi_{REF}$  の周期が画像表示用の水平同期信号のように長い場合、ラグリードフィルタ 3 のキャパシタ  $C_{F1}$  は大きな値になるので、キャパシタ  $C_{F1}$  は外付け部品となる。

#### 【 0 1 8 0 】

ロウパスフィルタ 4 は、ラグリードフィルタ 3 の出力電圧に含まれるノイズを低減させた電圧を、バイアス電圧  $NBIAS$  として電圧制御発振器 5 およびバイアス回路 7 に供給する。ロウパスフィルタ 4 は、好適には電圧制御発振器 5 と同じ半導体チップに内蔵されており、外付けのキャパシタ  $C_{F1}$  の接地点と電圧制御発振器 5 の接地点とが異なることで発生する電圧制御発振器 5 から見た制御電圧のノイズを除去する。

#### 【 0 1 8 1 】

バイアス回路 7 は、ロウパスフィルタ 4 の出力を受けて、好適には次式に示す基準電圧  $V_L$  に対してバイアス電圧  $NBIAS$  を反転させたバイアス電圧  $PBIAS$  を生成し、これを電圧制御発振器 5 に供給する。ただし、 $V_{thn}$  は電圧制御発振器 5 の各遅延段において接地ライン側へ流れ込む電流を制御する  $nMOS$  トランジスタ（例えば図 1 5 の  $nMOS$  トランジスタ  $Q_{n51}$ ）のしきい値電圧を示し、 $V_{thp}$  は電圧制御発振器 5 の遅延段において電源ライン側から流れだす電

流を制御する pMOS トランジスタ（例えば図 15 の pMOS トランジスタ Q<sub>p50</sub>）のしきい値電圧を示す。

【0182】

【数 45】

$$V_L = \{ (V_{dd} - V_{thn} - |V_{thp}|) / 2 + V_{thn} \} \\ \doteq V_{dd} / 2 \quad \dots (45)$$

【0183】

ロウパスフィルタ 4 の出力にはキャパシタ C<sub>NU</sub> およびキャパシタ C<sub>ND</sub> が接続され、これらのキャパシタにパルス制御回路 8 が出力するアップ信号 U<sub>Pn+1</sub> およびダウン信号 / D<sub>OWNn+1</sub> が入力される。これによりバイアス電圧 NBIAS には、キャパシタ C<sub>NU</sub> およびキャパシタ C<sub>ND</sub> とキャパシタ C<sub>LP</sub> との容量分圧比に応じたパルス波形が重畳される。

【0184】

バイアス回路 7 の出力にはキャパシタ C<sub>PU</sub> およびキャパシタ C<sub>PD</sub> が接続され、これらのキャパシタにパルス制御回路 8 が出力するアップ信号 / U<sub>Pn+1</sub> およびダウン信号 D<sub>OWNn+1</sub> が入力される。これによりバイアス電圧 PBIAS には、キャパシタ C<sub>PU</sub> およびキャパシタ C<sub>PD</sub> とキャパシタ C<sub>PB</sub> との容量分圧比に応じたパルス波形が重畳される。

【0185】

パルス制御回路 8 は、位相比較器 1 のアップ信号 U<sub>P</sub>、ダウン信号 D<sub>OWN</sub> を受けて、アップ信号 / U<sub>Pn</sub> およびダウン信号 D<sub>OWNn</sub> をチャージポンプ回路 21 に供給する。

【0186】

またパルス制御回路 8 は、例えば、基準クロック信号  $\phi_{REF}$  の周波数に応じて、電流選択信号 SELICP<sub>n-1</sub> ~ SELICP<sub>0</sub> を設定し、それによって動作する組合せが変更できるアップ信号 / U<sub>Pn-1</sub> ~ アップ信号 / U<sub>P0</sub>、ダウン信号 D<sub>OWNn-1</sub> ~ ダウン信号 D<sub>DOWN0</sub> をチャージポンプ回路 22 に供給する。これにより、チャージポンプ回路 22 から出力される電流 I<sub>CP2</sub> の大きさが可変される。

例えば、基準クロック信号  $\phi_{REF}$  の周波数よりも低い周波数のノイズが十分小さい場合には、PLL回路がロックした後にチャージポンプ回路 22 の出力電流  $I_{CP2}$  の値を小さくすることにより、ロック後の周波数ジッタを小さくすることが可能である。

## 【 0 1 8 7 】

またパルス制御回路 8 は、位相比較器 1 のアップ信号 UP、ダウン信号 DOWN を受けてロウパスフィルタ 4 の出力に接続されたキャパシタ CNU およびキャパシタ CND にアップ信号  $UP_{n+1}$  およびダウン信号 /DOWN $_{n+1}$  を供給するとともに、バイアス回路 7 の出力に接続されたキャパシタ CPU およびキャパシタ CPD にアップ信号 /UP $_{n+1}$  およびダウン信号 DOWN $_{n+1}$  を供給する。

## 【 0 1 8 8 】

またパルス制御回路 8 は、モード選択信号 SELMOD $m-1$  ～モード選択信号 SELMOD0 に応じて、キャパシタを駆動するアップ信号  $UP_{n+1}$ 、アップ信号 /UP $_{n+1}$ 、ダウン信号 DOWN $_{n+1}$ 、ダウン信号 /DOWN $_{n+1}$  の出力を活性化または非活性化する。

例えば、PLL回路が画像表示や文字表示などの用途に使用される場合には、このモード選択信号によってキャパシタを駆動するアップ信号  $UP_{n+1}$ 、アップ信号 /UP $_{n+1}$ 、ダウン信号 DOWN $_{n+1}$ 、ダウン信号 /DOWN $_{n+1}$  の出力を活性化させる。これにより、基準クロック信号  $\phi_{REF}$  の立ち下がりエッジにおけるバイアス電圧 NB I A S やバイアス電圧 P B I A S のパルス波形の電圧変化を低減できる。

また、記録データ再生用などのサンプリングクロックに使用する場合には電圧制御発振器 5 に入力されるパルス波形を鈍らせないといけいないので、モード選択信号によってキャパシタを駆動するこれらの信号の出力を非活性化させて使用できる。

すなわち、本発明の第 6 の実施形態によれば、モード選択信号によって設定を切り替えることにより、PLL回路を様々な用途に活用できる。

## 【 0 1 8 9 】

またパルス制御回路 8 は、位相比較器 1 のアップ信号 UP、ダウン信号 DOWN

Nを受けて、例えば、チャージポンプ回路の駆動信号やキャパシタの駆動信号の鈍り方に応じて、好適にはチャージポンプ回路出力で不感帯がゼロになるようにパルス幅の調整を行なう。

## 【0190】

またパルス制御回路8は、モード選択信号SELMOD<sub>m-1</sub>～SELMOD<sub>0</sub>に応じて、例えば、キャパシタを駆動するアップ信号UP<sub>n+1</sub>、アップ信号／UP<sub>n+1</sub>、ダウン信号DOWN<sub>n+1</sub>、およびダウン信号／DOWN<sub>n+1</sub>のパルス幅や、チャージポンプ回路21を駆動するアップ信号／UP<sub>n</sub>およびダウン信号DOWN<sub>n</sub>のパルス幅、すなわち、電圧制御発振器5に入力される矩形波状のバイアス信号のパルス幅だけ伸縮させる。これにより、ロック後の位相ジッタの補正を強力にすることができる。

## 【0191】

またパルス制御回路8は、モード選択信号SELMOD<sub>m-1</sub>～SELMOD<sub>0</sub>に応じて、例えば、PLL回路を搭載したLSIがスタンバイモードのとき、チャージポンプ回路21およびチャージポンプ回路22の出力に、バイアス回路7や電圧制御発振器5において貫通電流が流れないような電圧を強制的に出力するか、あるいは、強制的に出力を高インピーダンスにする。（バイアス回路7や電圧制御発振器5に貫通電流が流れないようにするためのスイッチング素子をできるだけ追加しなくても良いようにする。）このような機能を設けることで、システムの待機電力の低減に寄与できる。

## 【0192】

またパルス制御回路8は、モード選択信号SELMOD<sub>m-1</sub>～SELMOD<sub>0</sub>に応じて、例えば、PLL回路を搭載したLSIをテストするときに、強制的にUP時あるいはDOWN時のチャージポンプ出力電流を流させたり、あるいは外部から電圧を供給して電圧制御発振器5のテストできるように出力を高インピーダンスにする。

このようなテスト機能を設けることで、チャージポンプ回路の出力電流と電圧制御発振器5との発振周波数対制御電圧の特性測定が容易になる。

## 【0193】

# <第 7 の実施形態>

図 9 は、本発明の P L L 回路の第 7 の実施形態を示す構成図である。

図 9 に示す P L L 回路は、位相比較器 1、パルス制御回路 8、チャージポンプ回路 2 1、チャージポンプ回路 2 2、ラグリードフィルタ 3、ロウパスフィルタ 4、バイアス回路 7、電圧制御発振器 5、分周器 6、キャパシタ C P B、キャパシタ C P U 1、キャパシタ C P D 1、キャパシタ C P U 2、キャパシタ C P D 2、キャパシタ C N U 1、キャパシタ C N D 1、キャパシタ C N U 2、およびキャパシタ C N D 2 を有する。

図 9 と図 8 の同一符号は同一の構成要素を示す。

## 【 0 1 9 4 】

図 8 に示した本発明の第 6 の実施形態と図 9 に示した本発明の第 7 の実施形態の相違点は、第 7 の実施形態において、バイアス電圧 N B I A S およびバイアス電圧 P B I A S にパルスを重畳するキャパシタが増えた点と、電流選択信号 S E L I C P n が増えた点にある。

## 【 0 1 9 5 】

バイアス回路 7 の出力には、キャパシタ C P U 1、キャパシタ C P D 1、キャパシタ C P U 2 およびキャパシタ C P D 2 が接続され、これらのキャパシタには、パルス制御回路 8 によるアップ信号 / U P n + 1、アップ信号 / U P n + 2、ダウン信号 D O W N n + 1 およびダウン信号 D O W N n + 2 がそれぞれ入力される。また、電源ラインとの間に、バイアス電圧 P B I A S を安定化させるためのキャパシタ C P B が接続される。

## 【 0 1 9 6 】

ロウパスフィルタ 4 の出力には、キャパシタ C N U 1、キャパシタ C N D 1、キャパシタ C N U 2 およびキャパシタ C N D 2 が接続され、これらのキャパシタには、パルス制御回路 8 によるアップ信号 U P n + 1、アップ信号 U P n + 2、ダウン信号 / D O W N n + 1 およびダウン信号 / D O W N n + 2 がそれぞれ入力される。

## 【 0 1 9 7 】

パルス制御回路 8 は、電流選択信号 S E L I C P n に応じて、チャージポンプ回路 2 1 の出力電流 I C P 1 と、容量の分圧比で発生するパルス波形の電圧変化  $\Delta$

V1AC を制御する。

例えば SELICP<sub>n</sub> がロウレベルの場合、出力電流 ICP<sub>1</sub> として小さな出力電流 ICP<sub>1S</sub>が出力される。また、アップ信号 UP<sub>n+1</sub>、アップ信号／UP<sub>n+1</sub>、ダウン信号 DOWN<sub>n+1</sub> およびダウン信号／DOWN<sub>n+1</sub> のみが活性化され、小さなパルス電圧 ΔV1ACSが発生される。

逆に SELICP<sub>n</sub> がハイレベルの場合、出力電流 ICP<sub>1S</sub>に比べて大きな出力電流 ICP<sub>1L</sub>を出力される。また、アップ信号 UP<sub>n+1</sub>、アップ信号／UP<sub>n+1</sub>、DOWN<sub>n+1</sub>、／DOWN<sub>n+1</sub> 側に加えて、アップ信号 UP<sub>n+2</sub>、アップ信号／UP<sub>n+2</sub>、ダウン信号 DOWN<sub>n+2</sub> およびダウン信号／DOWN<sub>n+2</sub> が活性化されて、大きなパルス電圧 ΔV1ACLが発生される。

【0198】

例えば、

$$CLP = CPB = C1, \quad CNU1 = CND1 = CPU1 = CPD1 = CAC1$$

$$CNU2 = CND2 = CPU2 = CPD2 = CAC2$$

として、キャパシタを駆動するパルスの振幅が電圧 V<sub>dd</sub>の場合、好適には、次式が成り立つように設計する。

【0199】

【数46】

$$ICP1S \times RF1 \doteq \{ CAC1 / (C1 + 2CAC1 + 2CAC2) \} \times V_{dd} \quad \dots (46)$$

【0200】

【数47】

$$ICP1L \times RF1 \doteq \{ (CAC1 + CAC2) / (C1 + 2CAC1 + 2CAC2) \} \times V_{dd} \quad \dots (47)$$

【0201】

上式に合わせて設計することにより、電圧制御発振器5に入力されるパルス波形の電圧が異なる場合においても、基準クロック信号 φREFの立ち下がリエッジ後におけるパルス波形の電圧変化を小さくすることができる。

【0202】



また、特開平 1 0 - 2 4 2 8 5 1 や特開平 1 1 - 1 9 5 9 8 2 においては、位相差が小さくなると自動的にループのフィードバック量が小さくなる PLL 回路が明らかにされているが、本実施例によれば、例えば、アップ信号  $UP_{n+1}$ 、アップ信号/ $UP_{n+1}$ 、ダウン信号  $DOWN_{n+1}$  およびダウン信号/ $DOWN_{n+1}$  のパルス幅と、アップ信号  $UP_{n+2}$ 、アップ信号/ $UP_{n+2}$ 、ダウン信号  $DOWN_{n+2}$  およびダウン信号/ $DOWN_{n+2}$  のパルス幅とをパルス制御回路 8 により異なるパルス幅に設定させたり、あるいはアップ信号/ $UP_n$  およびダウン信号  $DOWN_n$  のパルス幅と、アップ信号/ $UP_{n-1}$  ~ アップ信号/ $UP_0$  およびダウン信号  $DOWN_{n-1}$  ~ ダウン信号  $DOWN_0$  のパルス幅とをパルス制御回路 8 により異なるパルス幅に設定させることで、パルス波形 S1 による画面上は周波数変化を伴わない位相引込の量と、パルス波形 S2 による周波数変化を伴う位相引込の量を、例えば、独立した位相差によって、各々、自動的に切り替えることが可能な PLL 回路や DLL 回路を実現できる。

## 【 0 2 0 3 】

以上、PLL 回路を例にして本発明の詳しい説明を行なったが、他のラグリードフィルタを用いた回路、例えば、DLL 回路などにも適用できることは言うまでもない。

また、複数の位相比較器や、チャージポンプ回路や、フィルタや、バイアス回路、あるいはこれらの回路中に分岐を有する回路により、複数の分岐したフィードバックループを有する PLL 回路や DLL 回路において、本発明の実施例として紹介しなかったものについても応用できることは言うまでもない。

## 【 0 2 0 4 】

## &lt; 本発明の応用例 &gt;

図 1 0 は、本発明の PLL 回路を適用したデジタル TV 用のドットクロック発生回路および VBI サンプリングクロック発生回路の構成図である。

図 1 0 に示すドットクロック発生回路および VBI サンプリングクロック発生回路は、制御回路 1 0、VBI サンプリングクロック発生回路 1 1、ドットクロック発生回路 1 2 A、ドットクロック発生回路 1 2 B、システムクロック分周器 9、および PLL 回路 1 0 0 を有する。

## 【0205】

PLL回路100は、例えば図8に示したPLL回路であり、制御部10から基準クロック信号HSNCSLを受けて、これに同期したクロック信号 $\phi$ VCO10をVBIサンプリングクロック発生回路11に出力するとともに、クロック信号VCO20およびクロック信号VCO21を、ドットクロック発生回路12Aおよびドットクロック発生回路12Bに出力する。

## 【0206】

制御部10は、2つの水平同期信号HSYNC0および水平同期信号HSYNC1と、システムクロック分周器9の出力クロック信号QNの中からPLL回路の基準クロック信号HSNCSLを選択し、位相比較器1に入力する。また、基準クロック信号HSNCSLの周波数に対応して、分周器6の分周比とチャージポンプ回路23の出力電流値を最適な値に設定する。古い設定値から新しい設定値への変更は、水平同期HSYNC0、水平同期信号HSYNC1、垂直同期信号VSYNC0、および垂直同期信号VSYNC1に同期して行なわれる。

## 【0207】

例えば、基準クロック信号として水平同期信号が選択された場合、バイアス電圧NBIASおよびバイアス電圧PBIASにパルス信号を重畳するアップ信号UP<sub>n+1</sub>、ダウン信号/DOWN<sub>n+1</sub>、アップ信号/UP<sub>n+1</sub> およびダウン信号DOWN<sub>n+1</sub> が活性化される。これにより、バイアス電圧NBIASおよびバイアス電圧PBIASには、基準クロック信号HSNCSLの立ち上がりエッジに同期した鈍りのないシャープなパルス波形が発生され、基準クロック信号HSNCSLの立ち下がり後の周波数変動が抑えられる。

## 【0208】

また例えば、コンピュータ画面などで、基準クロック信号としてシステムクロックを分周した信号が選択された場合には、アップ信号UP<sub>n+1</sub>、ダウン信号/DOWN<sub>n+1</sub>、アップ信号/UP<sub>n+1</sub> およびダウン信号DOWN<sub>n+1</sub> が非活性化される。これにより、基準クロック信号HSNCSLの立ち上がりエッジには非常に鈍ったパルス波形を発生させて、画面状に斜めドットクロックの幅が変化した領域が発生しないようにする。

## 【 0 2 0 9 】

TVの字幕放送などで、VBIサンプリングクロックを発生する場合には、水平同期信号を基準クロック信号として、 $(\text{VBIデータの周波数}) \times (\text{サンプリング回数}) \times \text{NVBIの周波数}$ を有するクロック信号 $\phi \text{VCO10}$ が電圧制御発振器5において発生される。このクロック信号 $\phi \text{VCO10}$ がVBIサンプリングクロック発生回路11においてNVBI分周されることにより、VBIサンプリングクロックが得られる。

## 【 0 2 1 0 】

ドットクロック発生回路12Aおよび12Bは、親画面と子画面に対応させるためのそれぞれ独立したドットクロックを発生する。電圧制御発振器5による2つの位相がずれた出力信号 $\phi \text{VCO20}$ および $\phi \text{VCO21}$ を受けて、これらの反転信号も含めた4つのクロック信号の中から、水平同期信号のバッファ出力HSYNCOBあるいはHSYNCOBの立ち下がリエッジ後に最も早く立ち上がるクロック信号が選択される。この選択されたクロック信号が適当な文字の幅になるように分周されて、ドットクロック0あるいはドットクロック1が発生される。

## 【 0 2 1 1 】

本発明のPLL回路を用いることによって、VBIサンプリングクロック発生回路11やドットクロック発生回路12Aおよび12Bに供給されるクロック信号のジッタが低減されるので、フリッカーやウェーピングの見えない画面表示が得られる。

## 【 0 2 1 2 】

## 【発明の効果】

本発明によれば、ノイズ低減のためにループフィルタにロウパスフィルタが含まれる場合や、電圧制御発振器の制御電圧ラインに制御電圧を安定化するためのキャパシタが設けられている場合でも、基準クロック信号の周期毎に行われる位相引き込み動作において、鈍りのないシャープなパルス波形を有する制御電圧が電圧制御発振器に入力され、位相引き込み動作の後、短時間で制御電圧を安定させることができる。すなわち、基準クロック信号の周期毎に行われる位相引き込

み動作後の周波数変動を低減させることができる。

また、基準クロック信号の周期毎に行われる位相引き込み動作において、鈍り  
のないシャープなパルス波形を有する制御電圧を発生させるか、あるいは非常に  
鈍った制御電圧を発生させるかを、任意に選択することができる。これにより、  
基準クロック信号の周波数やデューティ、回路の使用方法やノイズレベルなどに  
応じて適切な設定が選択できるので、PLL回路を様々な用途に活用できる。

【図面の簡単な説明】

【図 1】

本発明のPLL回路の第1の実施形態を示す構成図である。

【図 2】

本発明のPLL回路の第1の実施形態の動作を説明するための波形図である。

【図 3】

本発明のPLL回路の第2の実施形態を示す構成図である。

【図 4】

本発明のPLL回路の第2の実施形態の動作を説明するための波形図である。

【図 5】

本発明のPLL回路の第3の実施形態を示す構成図である。

【図 6】

本発明のPLL回路の第4の実施形態を示す構成図である。

【図 7】

本発明のPLL回路の第5の実施形態を示す構成図である。

【図 8】

本発明のPLL回路の第6の実施形態を示す構成図である。

【図 9】

本発明のPLL回路の第7の実施形態を示す構成図である。

【図 10】

本発明のPLL回路を適用したデジタルTV用のドットクロック発生回路およ  
びVBIサンプリングクロック発生回路の構成図である。

【図 11】

ラグリードフィルタを用いた従来のPLL回路の第1の形態を示す構成図。

【図12】

従来のPLL回路の第1の形態の動作を説明するための波形図である。

【図13】

ラグリードフィルタを用いた従来のPLL回路の第2の形態を示す構成図である。

【図14】

従来のPLL回路の第2の形態の動作を説明するための波形図である。

【図15】

電圧制御発振器の回路例を示す図である。

【図16】

バイアス回路の回路例を示す図である。

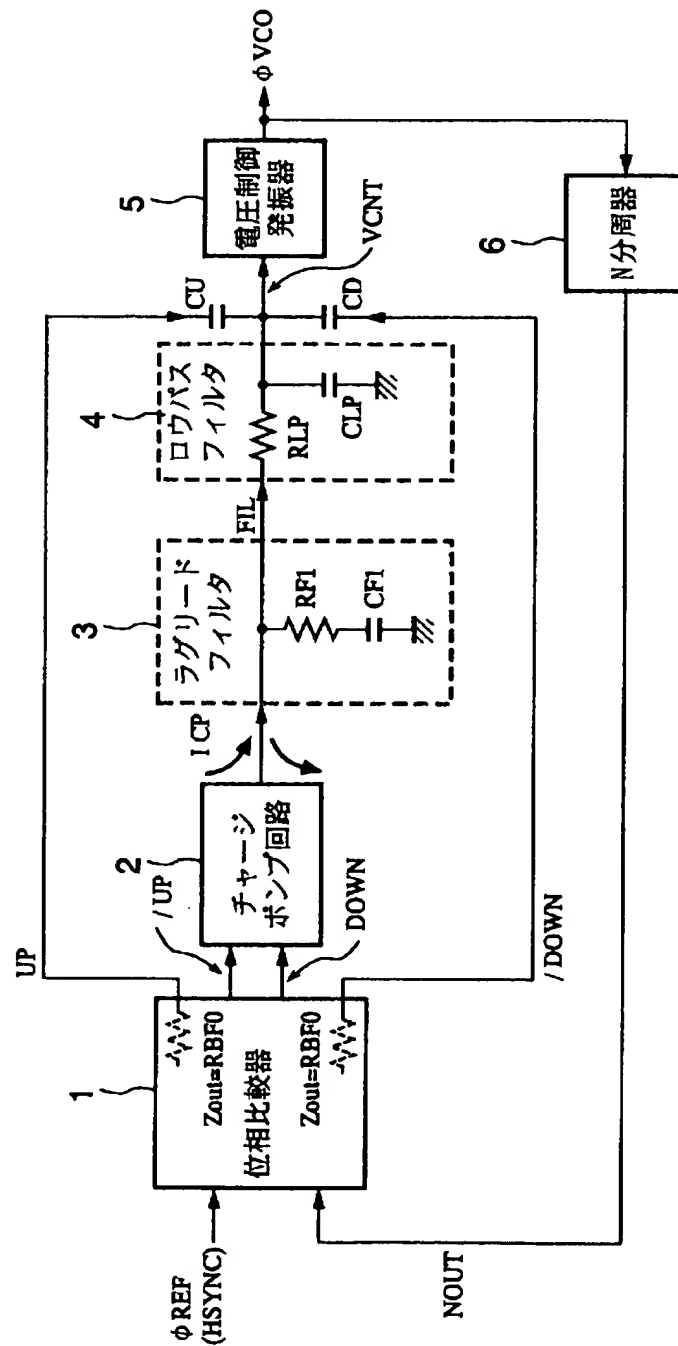
【符号の説明】

1…位相比較器、2，21，22…チャージポンプ回路、3…ラグリードフィルタ、4…ロウパスフィルタ、5…電圧制御発振器、6…分周器、7…バイアス回路、8…パルス制御回路、CF1，CLP，CPB，CNB，CPU1，CPD1，CPU2，CPD2，CNU1，CND1，CNU2，CND2…キャパシタ、RF1，RLP…抵抗

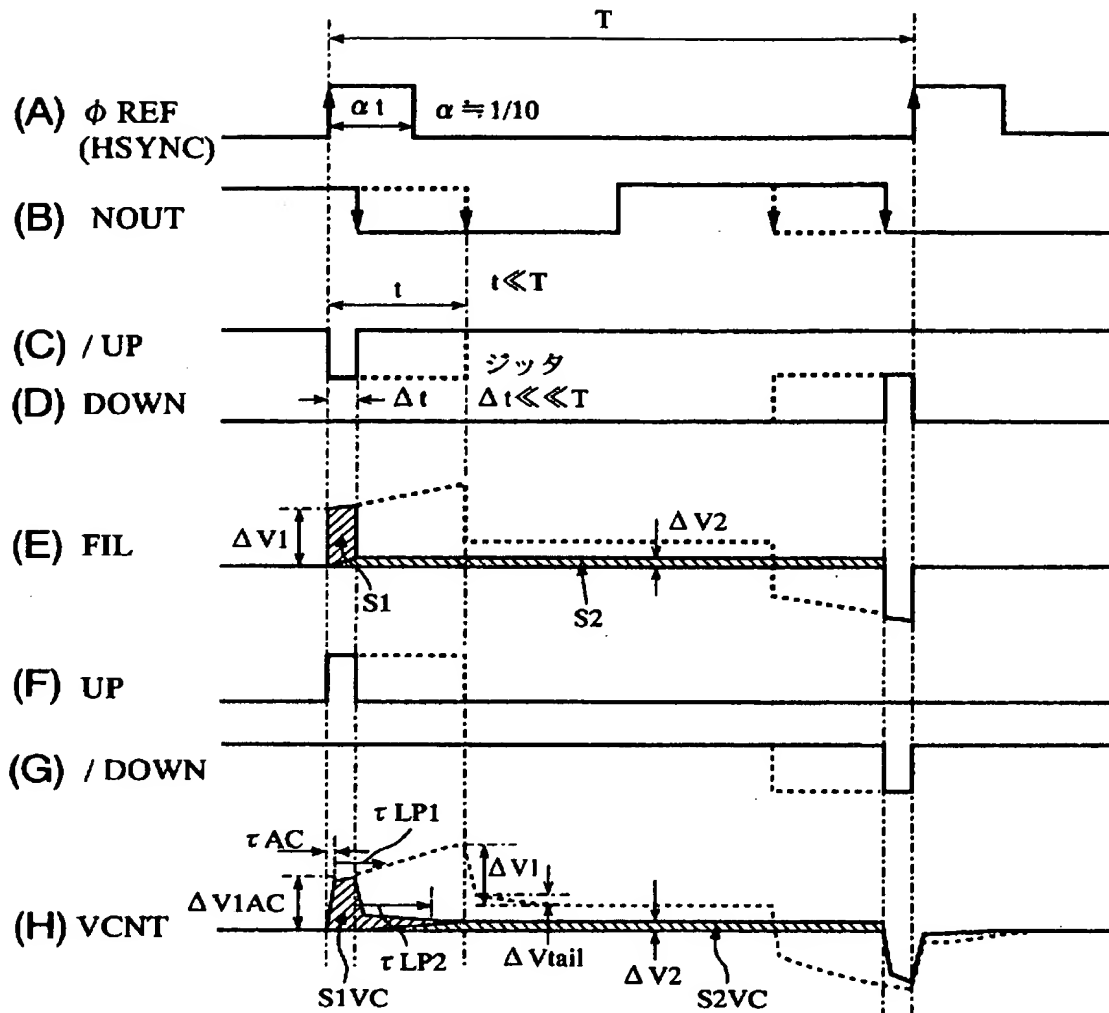
【書類名】

図面

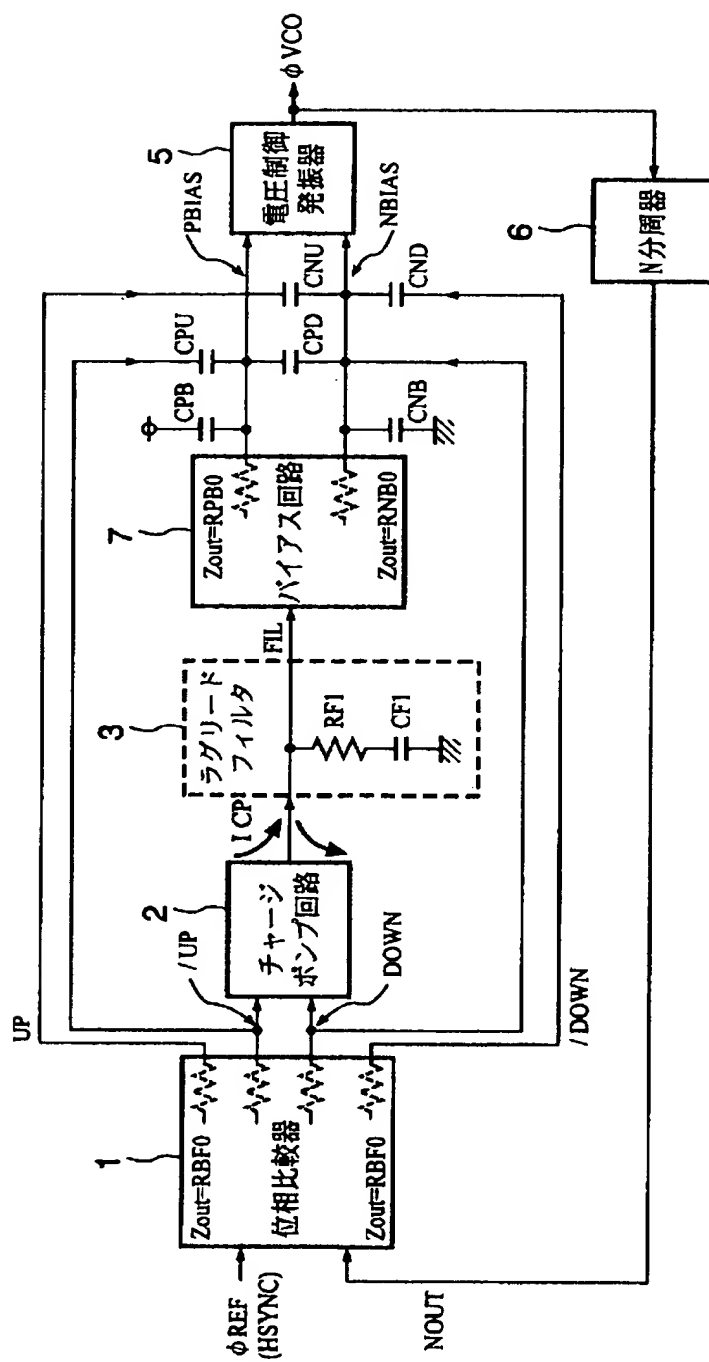
【図 1】



【図 2】



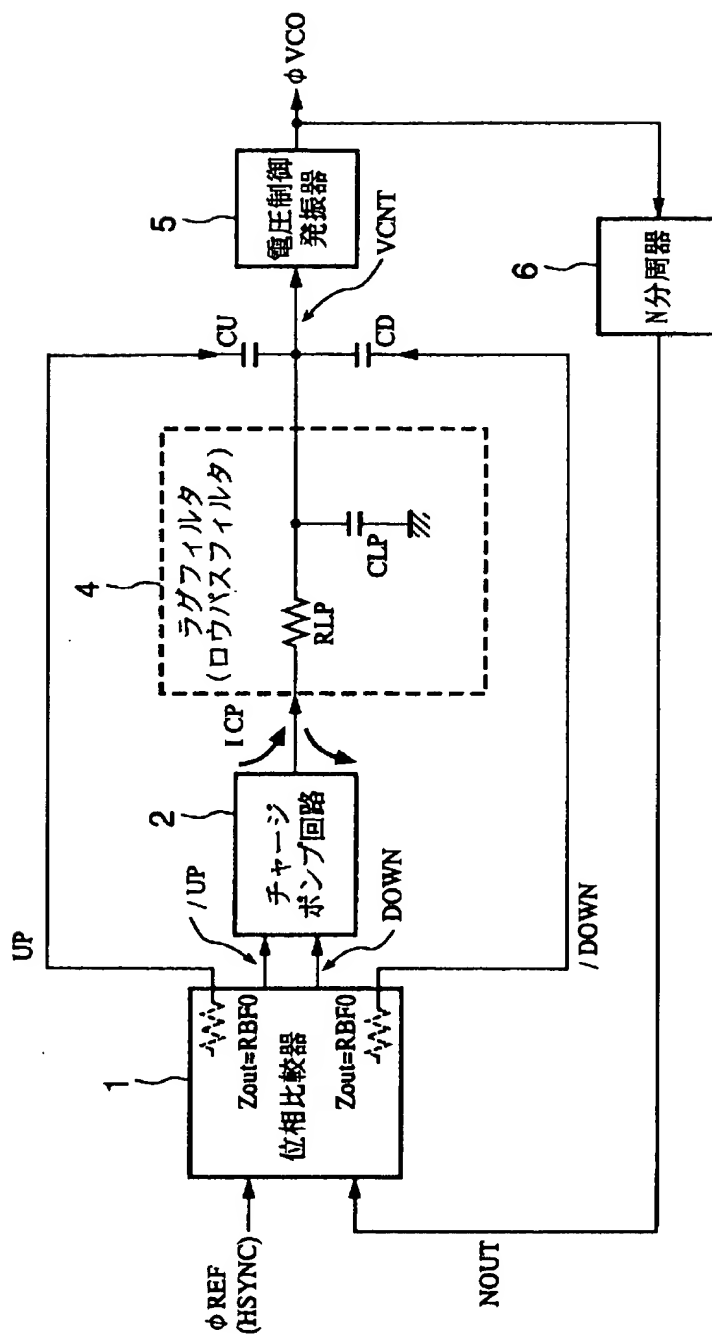
【図 3】



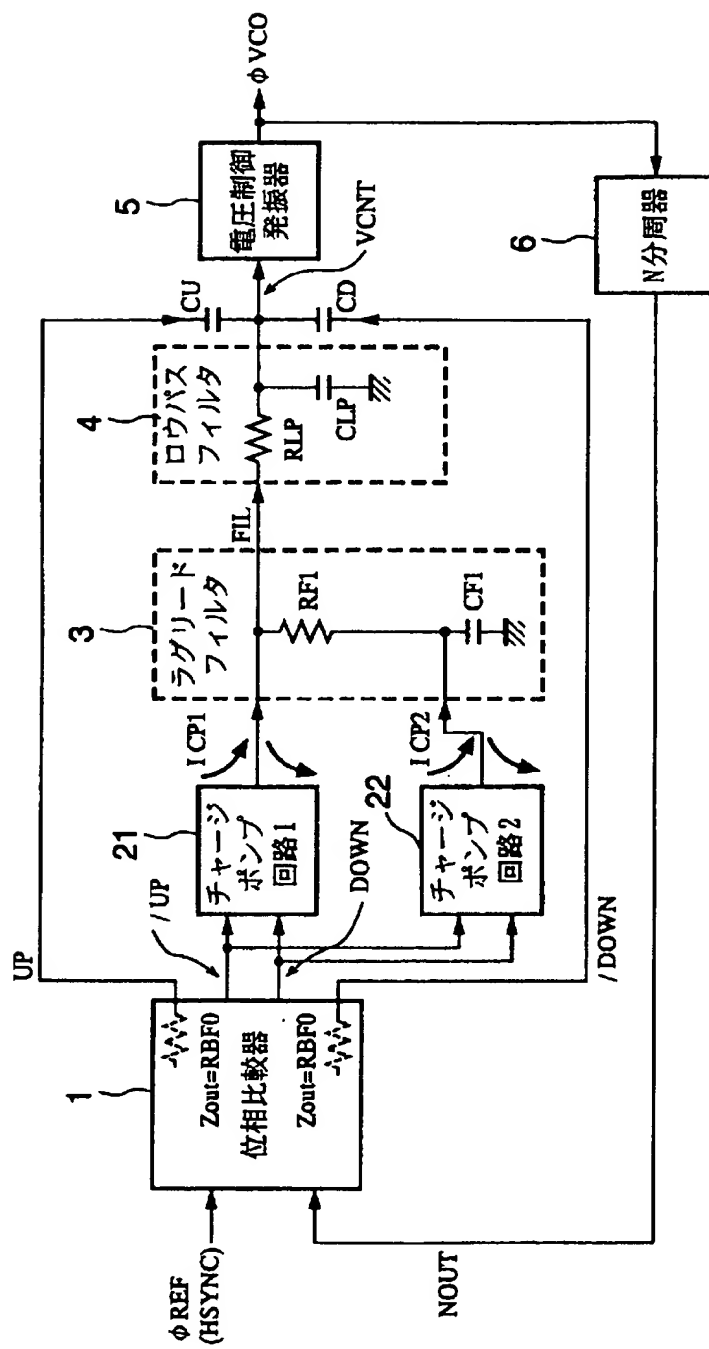




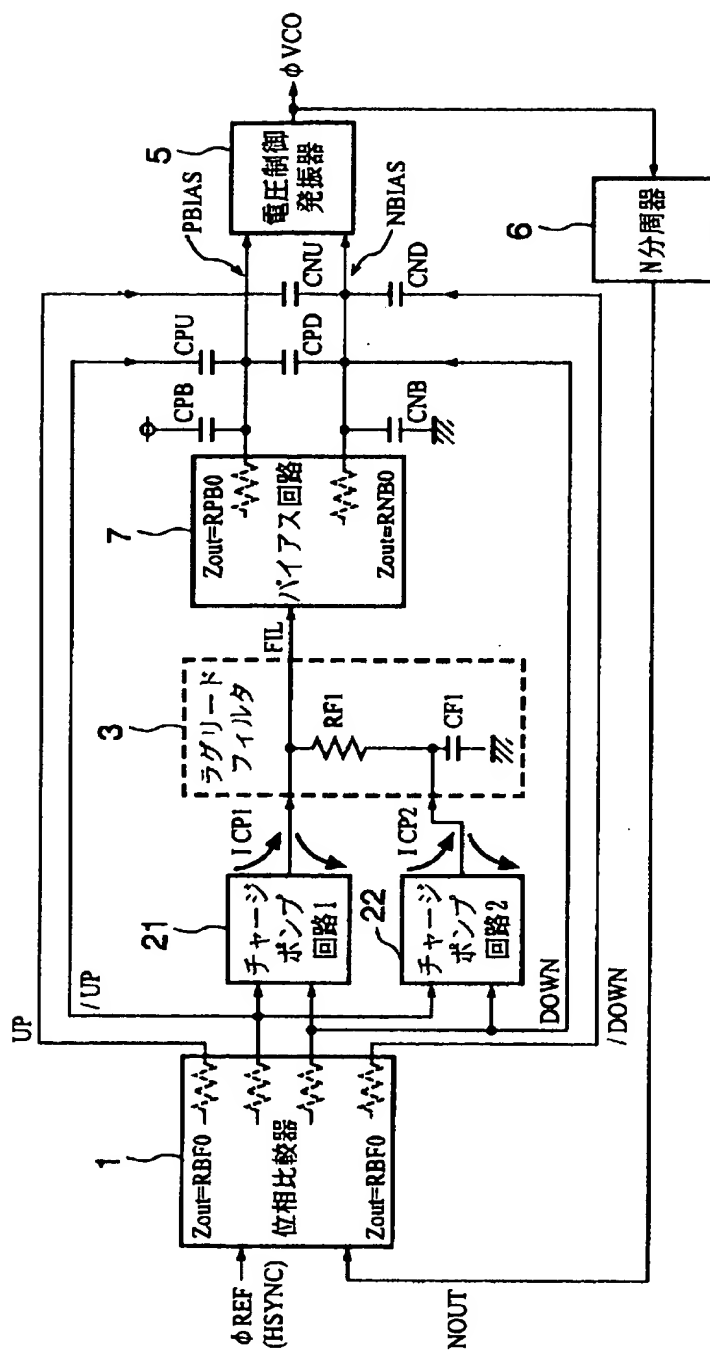
【図 5】



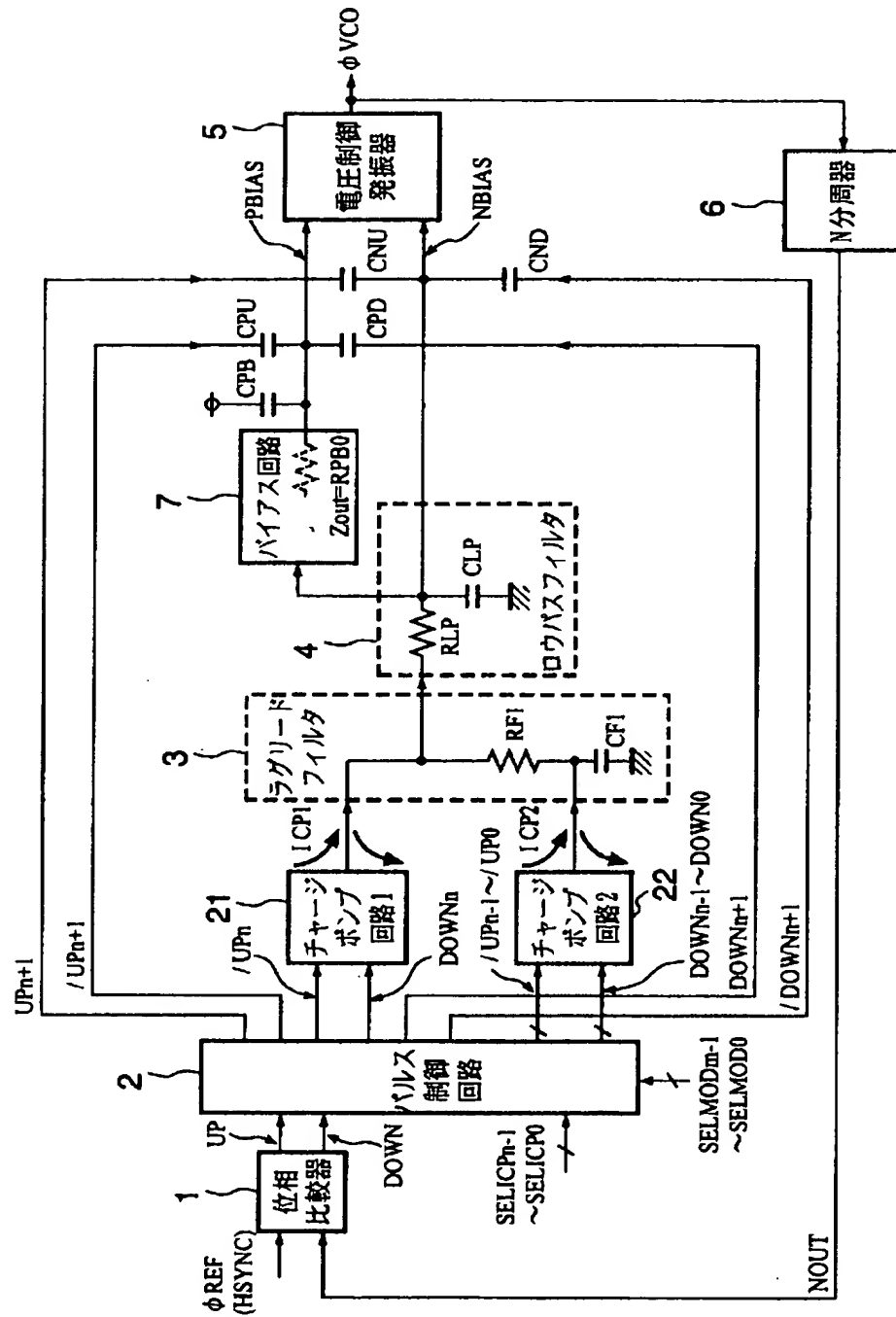
【図 6】



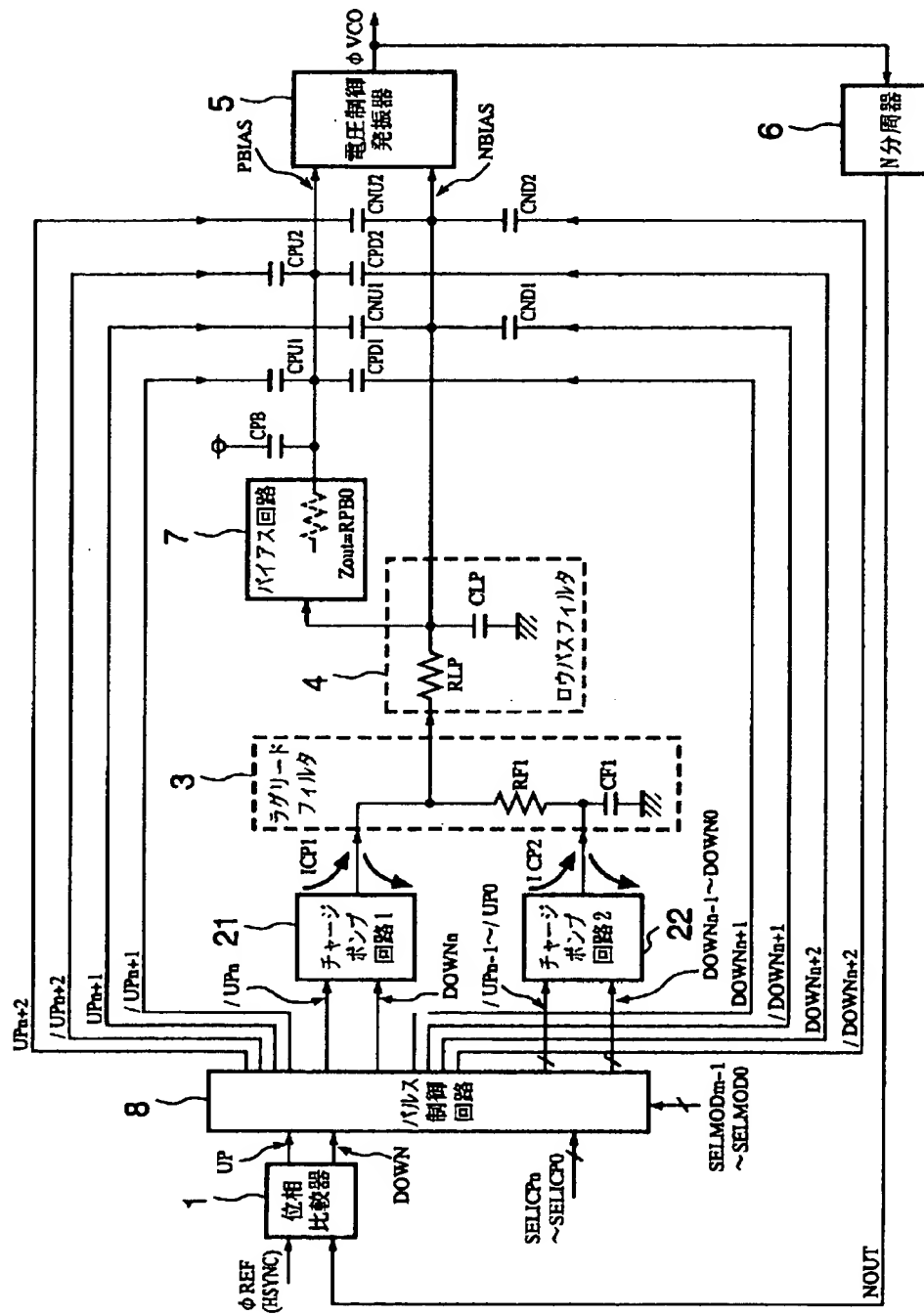
【図 7】



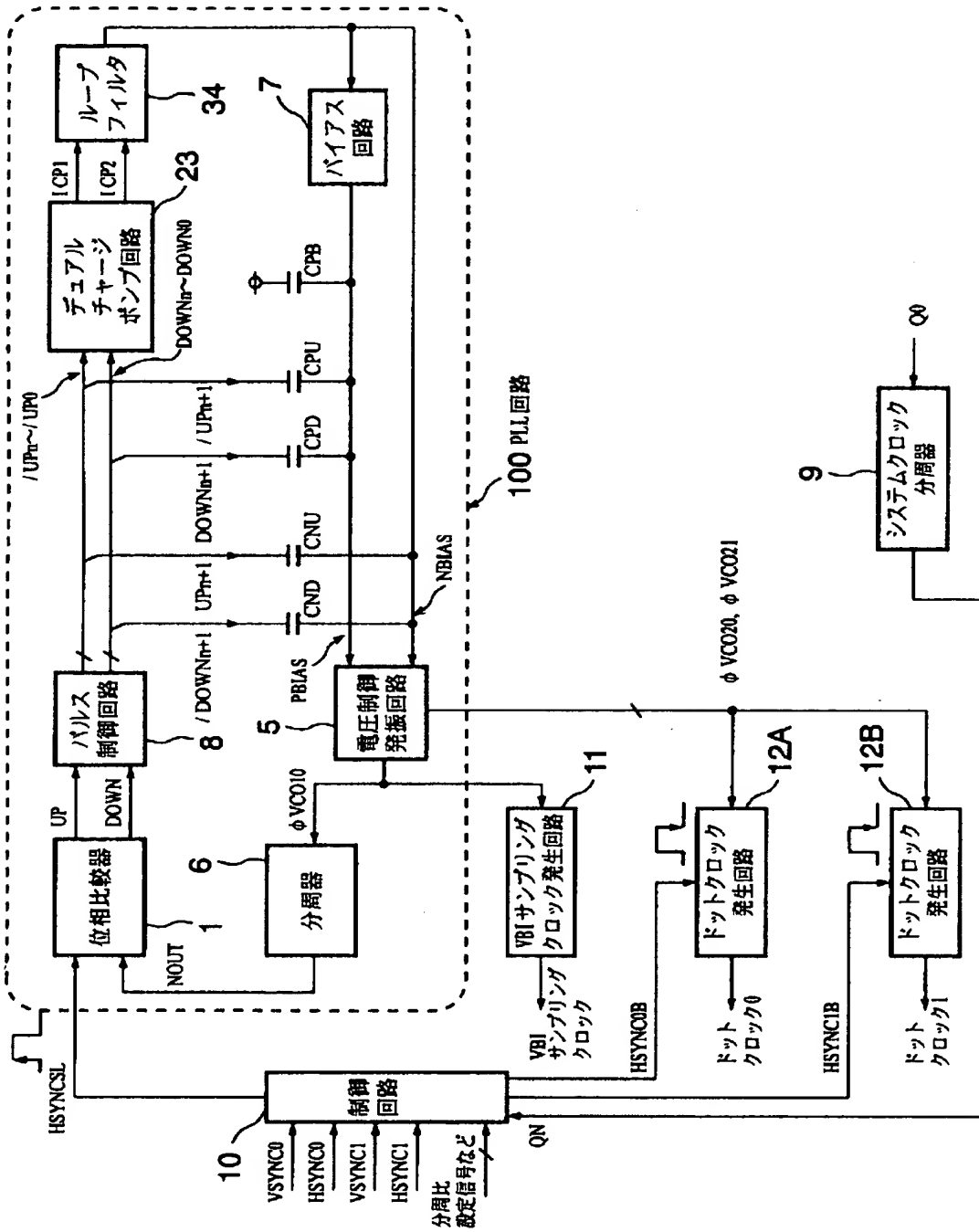
【図 8】



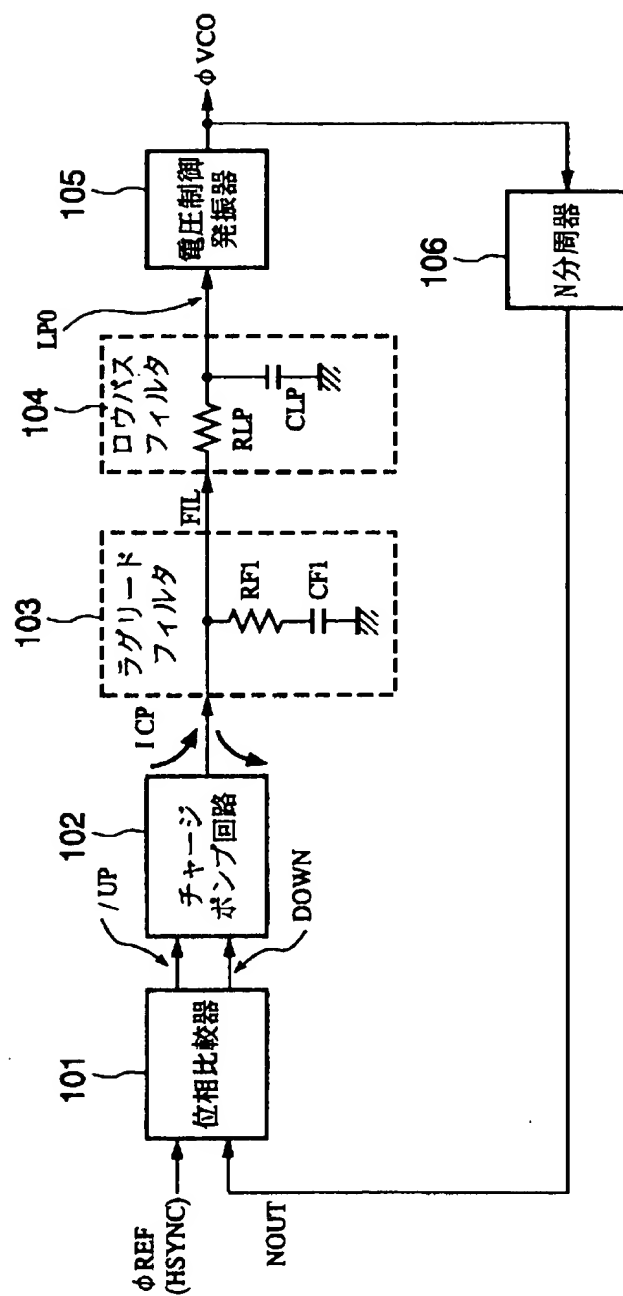
【図 9】



【図10】

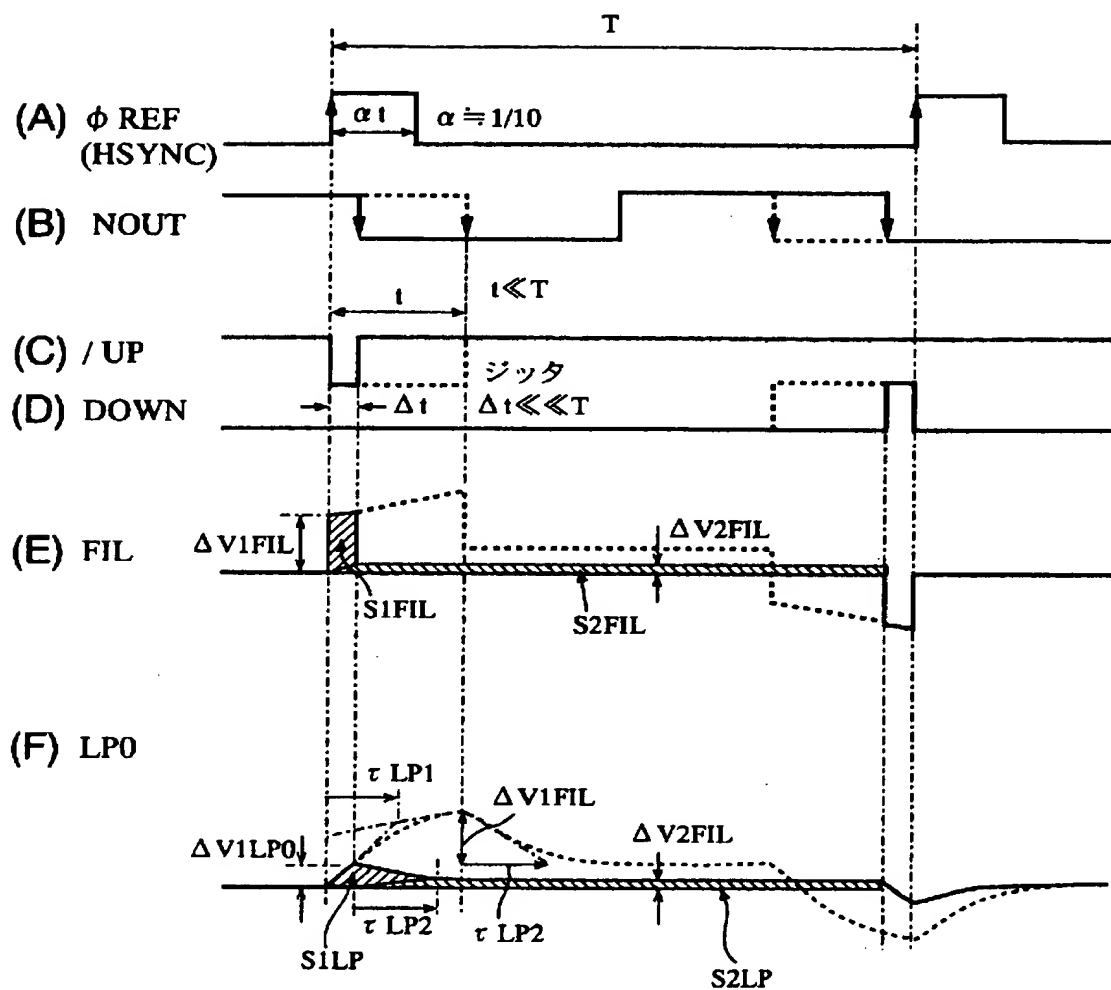


【図 11】

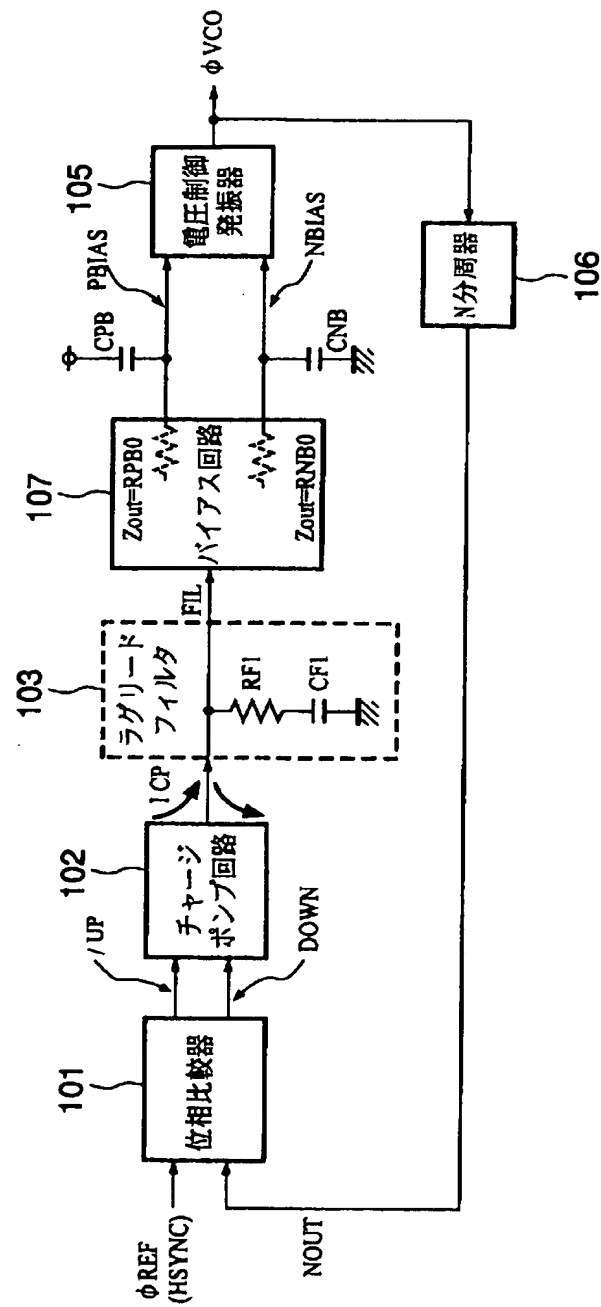




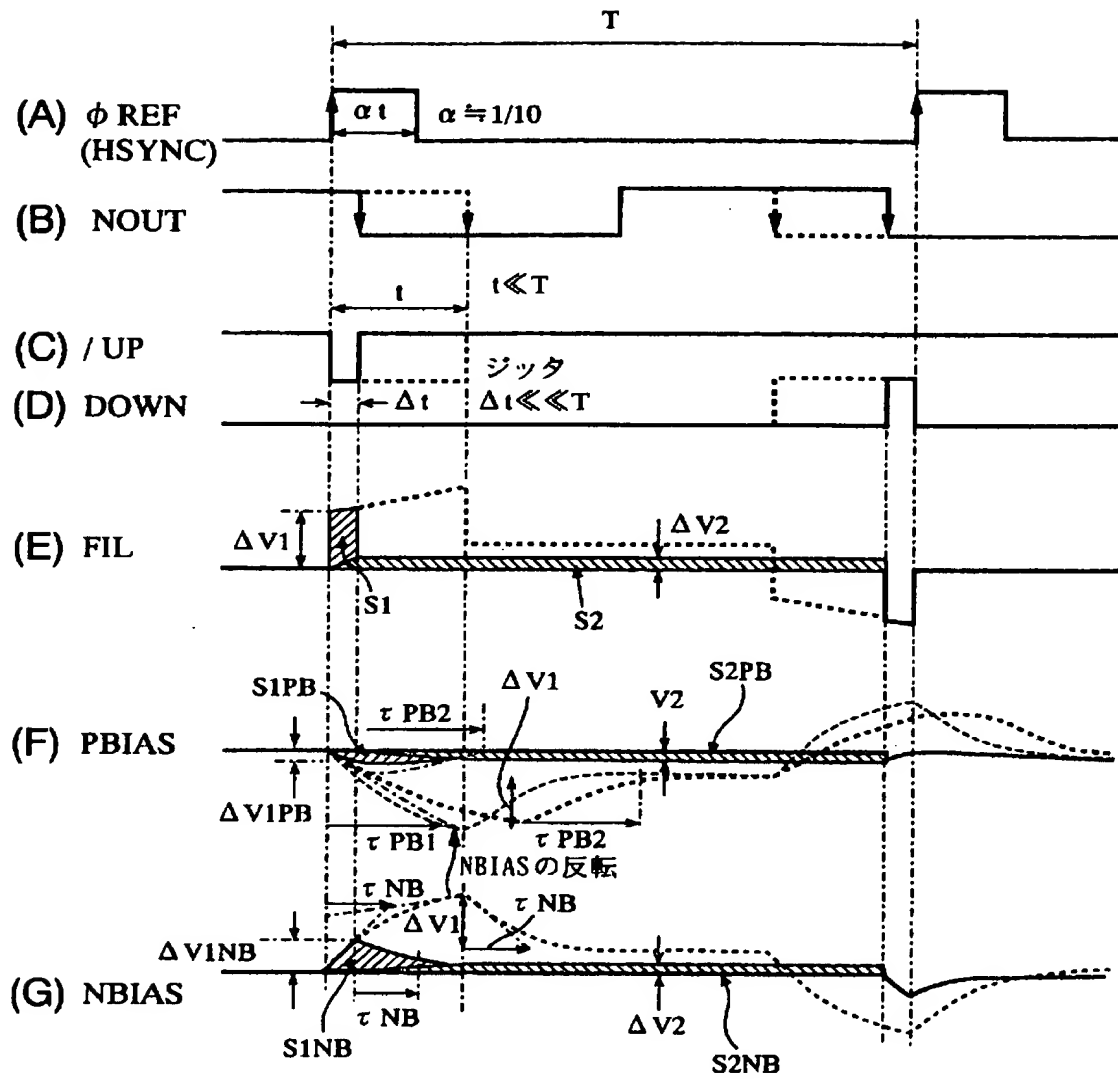
【図 12】



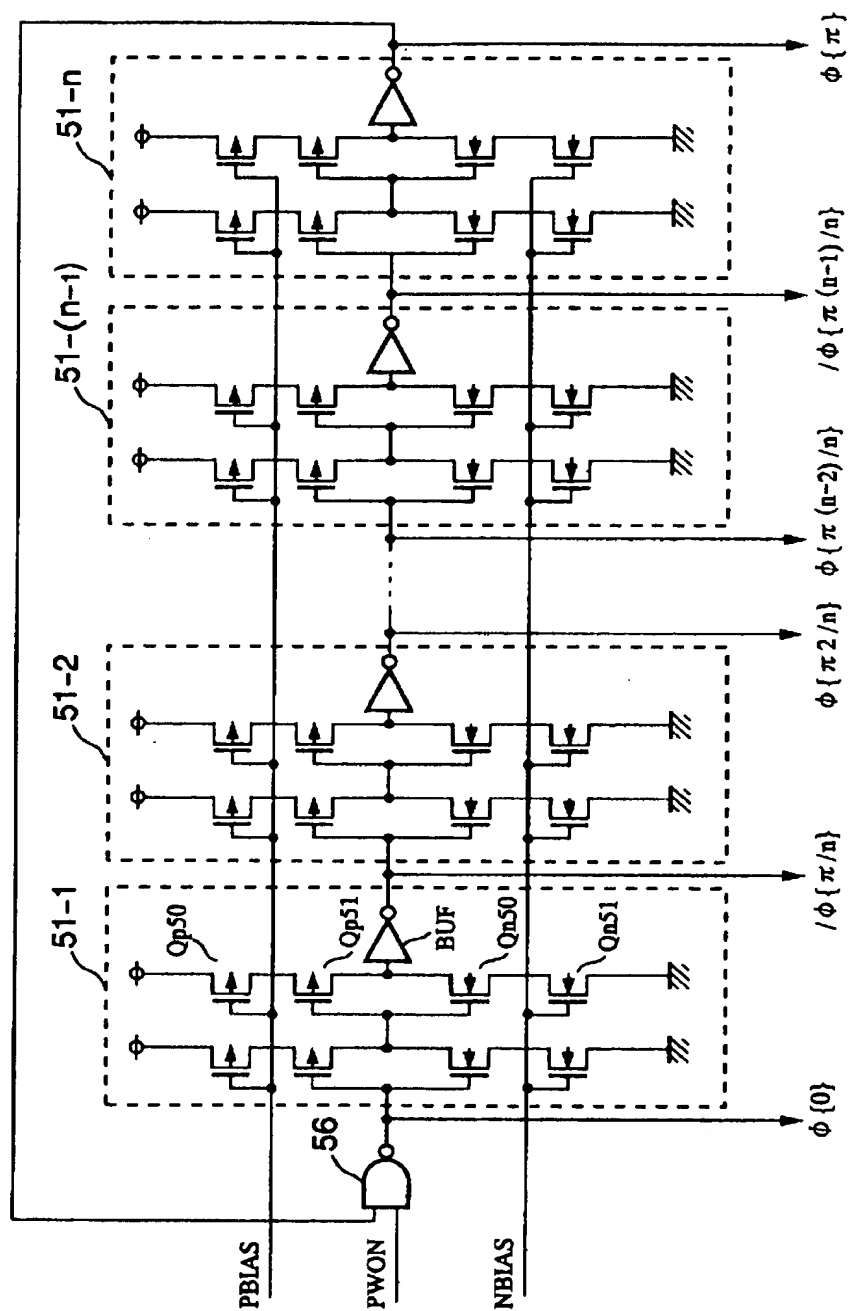
【図 13】



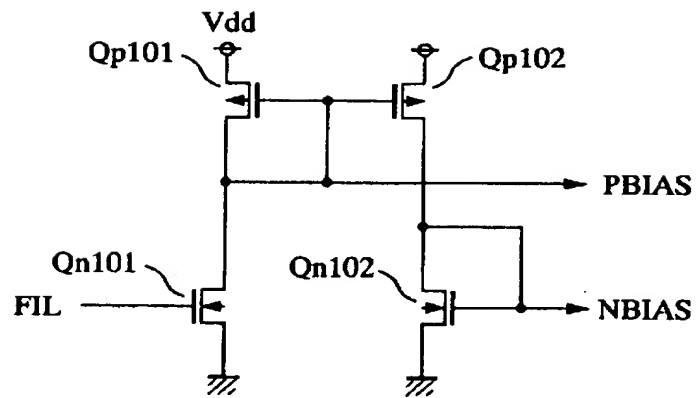
【図 14】



【図 15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 基準クロックの各周期において位相引き込み動作後、短時間で制御電圧 VCNT を安定化させる PLL 回路および DLL 回路を提供する。

【解決手段】 位相比較器 1 において基準クロック  $\phi$  REF に対する帰還信号 NOUT の進み位相および遅れ位相の大きさが検出され、これに応じたパルス幅のパルス信号 UP、/UP、DOWN、/DOWN が出力される。チャージポンプ回路 2 からはパルス信号 /UP、DOWN に応じた電流 I CP がラグリードフィルタ 3 に出力され、ロウパスフィルタ 4 からはこの出力 FIL のノイズを除去した制御電圧 VCNT が VCO 5 に出力される。さらに制御電圧 VCNT にはキャパシタ CU および CD を介してパルス信号 UP および /DOWN が重畳され、ロウパスフィルタ 4 による波形の鈍りが補正されたシャープな波形が得られる。これにより、基準クロック  $\phi$  REF の各周期における位相引き込み動作後、短時間で制御電圧 VCNT が安定化される。

【選択図】 図 1

特 2000-287003

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社